

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-359352

(43)Date of publication of application : 13.12.2002

(51)Int.Cl.

H01L 27/10
H01L 21/027
H01L 21/28
H01L 21/3213
H01L 21/8234
H01L 21/8242
H01L 27/088
H01L 27/108
H01L 29/78

(21)Application number : 2002-047944

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 25.02.2002

(72)Inventor : YOSHIKAWA KEI
HASHIMOTO KOJI
INOUE SOICHI

(30)Priority

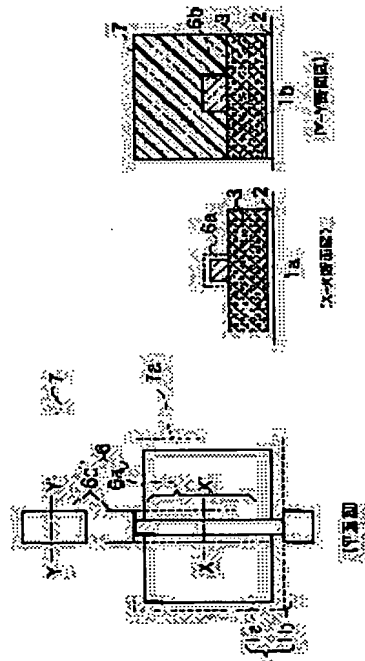
Priority number : 2001095038 Priority date : 29.03.2001 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of manufacturing a semiconductor device by which a fine pattern can be formed without increasing a chip area, to provide a semiconductor device, and to reduce the number of exposure steps.

SOLUTION: A resist pattern 5 is formed in dimensions of an exposure resolution limit on a hard mask material film 4 on a film 3 to be processed. The material film 4 is processed by using the resist pattern 5 as a mask to form a hard mask pattern 6. A resist pattern 7 is formed which has an opening 7a for exposing a selected region 6a of the mask pattern 6 and covers an unselected region 6b. Only the mask pattern 6a exposed in the opening 7a is subjected to selective etching to make it narrower. The film 3 to be processed is etched by using the mask pattern 6 to form a pattern 8 of a film to be processed having a pattern portion 8b with a wide exposure resolution limit dimension, and a pattern portion 8a with a narrow dimension equal to the resolution limit or smaller.



LEGAL STATUS

[Date of request for examination]

04.03.2003

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2002-359352

(P2002-359352A)

(43) 公開日 平成14年12月13日 (2002. 12. 13)

(51) Int.Cl. ¹	識別記号	F I	デマンド* (参考)	
H 0 1 L 27/10	4 6 1	H 0 1 L 27/10	4 6 1	4 M 1 0 4
21/027		21/28	E	5 F 0 3 3
21/28		21/88	C	5 F 0 4 6
21/3213		27/10	6 2 1 Z	5 F 0 4 8
21/8234			6 8 1 F	5 F 0 8 3

審査請求 未請求 請求項の数54 O L (全 49 頁) 最終頁に続く

(21) 出願番号 特願2002-47944 (P2002-47944)

(22) 出願日 平成14年 2 月25日 (2002. 2. 25)

(31) 優先権主張番号 特願2001-95038 (P2001-95038)

(32) 優先日 平成13年 3 月29日 (2001. 3. 29)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目 1 番 1 号

(72) 発明者 吉川 圭
神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

(72) 発明者 橋本 耕治
神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

(74) 代理人 100083806
弁理士 三好 秀和 (外 7 名)

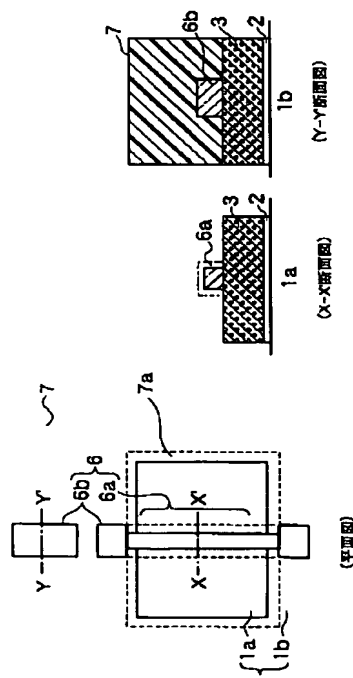
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法および半導体装置

(57) 【要約】

【課題】 チップ面積の増加無しに微細パターンの形成可能な半導体装置の製造方法および半導体装置を提供し、また露光工程数を削減する。

【解決手段】 被加工膜 3 上のハードマスク材料膜 4 上にレジストパターン 5 を露光解像限界寸法に形成し、レジストパターン 5 をマスクとして材料膜 4 を加工しハードマスクパターン 6 を形成し、マスクパターン 6 の選択領域 6 a を露出させる開口 7 a を有し、非選択領域 6 b を被覆するレジストパターン 7 を形成する。開口 7 a 内に露出したマスクパターン部 6 a のみを選択的エッチング加工し細らせ、マスクパターン 6 を用いて被加工膜 3 をエッチング加工し、露光解像限界寸法幅の広いパターン部 8 b と解像限界以下の細いパターン部 8 a を持つ被加工膜パターン 8 を形成する。



【特許請求の範囲】

【請求項1】 被加工膜上にマスク材料膜を堆積させ、該マスク材料膜上に第1の露光工程により第1のレジストパターンを形成する工程と、

前記第1のレジストパターンをマスクに前記マスク材料膜を加工してマスクパターンを形成する工程と、

前記第1のレジストパターンを剥離する工程と、

前記マスクパターンを含む前記被加工膜上に、第2の露光工程により前記マスクパターンの選択領域を露出するための開口を有し、かつ非選択領域を被覆するような第2のレジストパターンを形成する工程と、

前記第2のレジストパターンの開口内に露出された前記マスクパターン部分を細らせる工程と、

前記第2のレジストパターンを剥離する工程と、

前記マスクパターンをマスクに前記被加工膜をエッチング加工して、広い寸法幅のパターン部と細い寸法幅のパターン部とを有する被加工膜パターンを形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項2】 前記マスク材料膜は、ハードマスク材料膜、反射防止材料膜、平坦化膜のいずれかからなる単層、若しくは多層膜であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記マスク材料膜が多層膜よりなる場合は、前記第1のレジストパターンをマスクに加工されるマスク材料膜の最下層を、前記第2のレジストパターンの開口内に露出させて細らせることを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項4】 前記第2の露光工程で形成されるレジストパターンは、平坦化材料を含むレジストパターン形成プロセスによって形成されることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 前記被加工膜が、ゲート電極材料膜であることを特徴とする請求項1から4のいずれか1項記載の半導体装置の製造方法。

【請求項6】 前記第2の露光工程によって露出された選択領域は、素子領域上のトランジスタのゲート電極パターン部とし、前記第2の露光工程によって被覆された非選択領域は、素子分離上の配線パターン部とすることを特徴とする請求項1から5のいずれか1項記載の半導体装置の製造方法。

【請求項7】 前記第2のレジストパターンは、素子領域パターンと同一の反転パターンで、かつ素子領域パターンよりも合せずれ裕度分大きくするように形成されていることを特徴とする請求項1から6のいずれか1項記載の半導体装置の製造方法。

【請求項8】 前記第2の露光工程と素子分離領域を形成するための露光工程において用いられるレジストは、一方がポジ型レジストであれば、他方はネガ型レジストであり、かつ露光マスクは、同一マスクであることを特徴とする請求項1から7のいずれか1項記載の半導体装

置の製造方法。

【請求項9】 前記第2の露光工程によって露出された選択領域は、ロジック部とメモリ部を混載したシステムLSIのロジック部におけるトランジスタのゲートパターン部であり、前記第2の露光工程によって被覆された非選択領域は、メモリ部の回路パターン部であることを特徴とする請求項1から8のいずれか1項記載の半導体装置の製造方法。

【請求項10】 前記マスク材料膜は、 SiO_2 、 Si_3N_4 、 SiON 、 Al_2O_3 、 SiC 、カーボン膜、有機膜のうち選択された1つ、又はその組合わせからなることを特徴とする請求項1から9のいずれか1項記載の半導体装置の製造方法。

【請求項11】 前記被加工膜上にハードマスク材料膜を堆積させ、該ハードマスク材料膜上に第1の露光工程により第1のレジストパターンを形成する工程と、前記第1のレジストパターンをマスクに前記ハードマスク材料膜をエッチング加工してハードマスクパターンを形成する工程と、

前記第1のレジストパターンを剥離する工程と、

前記ハードマスクパターンを含む前記被加工膜上に、第2の露光工程により前記ハードマスクパターンの選択領域を露出するための開口を有し、かつ非選択領域を被覆するような第2のレジストパターンを形成する工程と、前記第2のレジストパターンの開口内に露出された前記ハードマスクパターン部をエッチング加工によって細らせる工程と、

前記第2のレジストパターンを剥離する工程と、

前記ハードマスクパターンをマスクに前記被加工膜をエッチングして広い寸法幅のパターン部と細い寸法幅のパターン部とを有する被加工膜パターンを形成する工程と、

前記ハードマスクパターンを剥離せずに残存させた状態で、トランジスタのソース、ドレイン部コンタクトを、該ハードマスクパターンを用いた自己整合により形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項12】 前記ハードマスク材料膜は、 SiO_2 、 Si_3N_4 、 SiON 、 Al_2O_3 、 SiC 、カーボン膜、有機膜のうちから選択された1つ、又はその組合わせからなることを特徴とする請求項11記載の半導体装置の製造方法。

【請求項13】 素子領域および素子分離領域上に、同時に形成された回路パターンを有する半導体装置において、前記回路パターンは、前記素子領域において細い寸法幅に形成されてなり、かつ前記素子分離領域において太い寸法幅に形成されてなることを特徴とする半導体装置。

【請求項14】 前記回路パターン寸法と前記回路パターンから最近接の回路パターンまでの距離の比が、1.

5から2.0以下の比較的密集度の高いパターンと、その比が1.5から2.0以上の孤立パターンが同時に形成された回路パターンを有する半導体装置において、前記密集度の高いパターンは、太い寸法幅に形成されてなり、前記孤立パターンは、細い寸法幅に形成されてなることを特徴とする請求項13記載の半導体装置。

【請求項15】 処理基板上に第1の材料を形成する工程と、
レベンソン型位相シフトマスクを使用して第1の露光を行い前記第1の材料上の第1の領域に第1のレジストパターンを形成し、かつ第2の領域にレジストを被覆する工程と、
前記第1のレジストパターンを細らせて第2のレジストパターンを形成する工程と、
前記第2のレジストパターンをマスクとして前記第1の材料を加工する工程と、
前記第2のレジストパターンを除去して前記第1の材料からなる第1のパターンを形成する工程と、
前記第1の領域にレジストを覆い、かつ第2の露光を行って前記第2の領域に第3のレジストパターンを形成する工程と、
前記第3のレジストパターンをマスクとして前記第1の材料を加工する工程と、
前記第3のレジストパターンを除去して前記第1の材料からなる第2のパターンを形成する工程と、
前記第1の材料からなる第2のパターンをマスクとして前記処理基板を加工する工程と、
前記第1の材料を除去する工程と、
を具備することを特徴とする半導体装置の製造方法。

【請求項16】 前記第1の材料はハードマスク材料膜、反射防止材料膜、平坦化膜のいずれかからなる単層もしくは多層膜であることを特徴とする請求項15記載の半導体装置の製造方法。

【請求項17】 前記第1の材料は SiO_2 、 Si_3N_4 、 SiON 、 Al_2O_3 、 SiC 、カーボン膜のうち選択された1つ、またはその組み合わせからなることを特徴とする請求項16記載の半導体装置の製造方法。

【請求項18】 前記第1の領域は高速動作が要求されるトランジスタのゲート領域であることを特徴とする請求項15または16記載の半導体装置の製造方法。

【請求項19】 前記第2の領域は高速動作が要求されるトランジスタのゲート領域以外の領域であることを特徴とする請求項15、16、18記載のいずれか1項記載の半導体装置の製造方法。

【請求項20】 前記第2の領域はメモリセル部を含むことを特徴とする請求項19記載の半導体装置の製造方法。

【請求項21】 前記第1のレジストパターンは前記第1の材料上に直接形成されるもの、あるいは反射防止膜上に形成されるもの、あるいは多層レジストマスクプロ

セスによって形成されるものであることを特徴とする請求項15、16、18、19のいずれか1項記載の半導体装置の製造方法。

【請求項22】 前記第1のレジストパターンはダミーパターンを含み、前記第1の領域を覆い、かつ前記第2の領域に第3のレジストパターンを形成する工程において前記第1の材料からなるダミーパターンをレジストで覆わないことを特徴とする請求項15、16、18、19、21のいずれか1項記載の半導体装置の製造方法。

【請求項23】 前記第1の領域にレジストを覆い、かつ前記第2の露光を行って前記第2の領域に第3のレジストパターンを形成する工程において、前記第2の露光に使用するマスクはクロムマスク、あるいはハーフトーンマスクであることを特徴とする請求項15、16、18、19、21、22のいずれか1項記載の半導体装置の製造方法。

【請求項24】 前記の各工程はトランジスタのゲート層形成に用いられることを特徴とする請求項15、16、18、19、21、22、23のいずれか1項記載の半導体装置の製造方法。

【請求項25】 処理基板上に第1の材料を形成する工程と、
レベンソン型位相シフトマスクを使用して第1の露光を行い前記第1の材料上の第1の領域に第1のレジストパターンを形成し、かつ第2の領域にレジストを被覆する工程と、
前記第1のレジストパターンをマスクとして前記第1の材料を加工する工程と、
前記第1のレジストパターンを除去し前記第1の材料からなる第1のパターンを形成する工程と、
前記第1の材料からなる第1のパターンを細らせて前記第1の材料からなる第2のパターンを形成する工程と、
前記第1の領域をレジストで覆い、かつ第2の露光を行って前記第2の領域に第2のレジストパターンを形成する工程と、
前記第2のレジストパターンをマスクとして前記第1の材料を加工する工程と、
前記第2のレジストパターンを除去して前記第1の材料からなる第3のパターンを形成する工程と、
前記第1の材料からなる第3のパターンをマスクとして前記処理基板を加工する工程と、
前記第1の材料を除去する工程と、
を具備することを特徴とする半導体装置の製造方法。

【請求項26】 前記第1の材料はハードマスク材料膜、反射防止材料膜、平坦化膜のいずれかからなる単層もしくは多層膜であることを特徴とする請求項25記載の半導体装置の製造方法。

【請求項27】 前記第1の材料は SiO_2 、 Si_3N_4 、 SiON 、 Al_2O_3 、 SiC 、カーボン膜のうち選択された1つ、またはその組み合わせからなることを特徴とする請求項26記

載の半導体装置の製造方法。

【請求項28】 前記第1の領域は高速動作が要求されるトランジスタのゲート領域であることを特徴とする請求項25または26記載の半導体装置の製造方法。

【請求項29】 前記第2の領域は高速動作が要求されるトランジスタのゲート領域以外の領域であることを特徴とする請求項25、26、28記載のいずれか1項記載の半導体装置の製造方法。

【請求項30】 前記第2の領域はメモリセル部を含むことを特徴とする請求項29記載の半導体装置の製造方法。

【請求項31】 前記第1のレジストパターンは前記第1の材料上に直接形成されるもの、あるいは反射防止膜上に形成されるもの、あるいは多層レジストマスクプロセスによって形成されるものであることを特徴とする請求項25、26、28、29のいずれか1項記載の半導体装置の製造方法。

【請求項32】 前記第1のレジストパターンはダミーパターンを含み、前記第1の領域を覆い、かつ前記第2の領域に第3のレジストパターンを形成する工程において前記第1の材料からなるダミーパターンをレジストで覆わないことを特徴とする請求項25、26、28、29、31のいずれか1項記載の半導体装置の製造方法。

【請求項33】 前記第1の領域にレジストを覆い、かつ前記第2の露光を行って前記第2の領域に第3のレジストパターンを形成する工程において、前記第2の露光に使用するマスクはクロムマスクあるいはハーフトーンマスクであることを特徴とする請求項25、26、28、29、31、32のいずれか1項記載の半導体装置の製造方法。

【請求項34】 前記の各工程はトランジスタのゲート層形成に用いられることを特徴とする請求項25、26、28、29、31、32、33のいずれか1項記載の半導体装置の製造方法。

【請求項35】 処理基板上に第1の材料を形成する工程と、
レベンソン型位相シフトマスクを使用して第1の露光を行い、前記第1の材料上の第1の領域に第1のレジストパターンを形成し、かつ第2の領域にレジストを被覆する工程と、
前記第1のレジストパターンをマスクとして前記第1の材料を加工する工程と、
前記第1のレジストパターンを除去し、前記第1の材料からなる第1のパターンを形成する工程と、
前記第1の領域をレジストで覆い、かつ第2の露光を行って前記第2の領域に第2のレジストパターンを形成する工程と、
前記第2のレジストパターンをマスクとして前記第1の材料を加工する工程と、
前記第2のレジストパターンを除去して前記第1の材料

からなる第2のパターンを形成する工程と、

前記第1の材料からなる第2のパターンをマスクとして処理基板を加工する工程と、

前記第1の材料を除去する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項36】 前記第1の材料はハードマスク材料膜、反射防止材料膜、平坦化膜のいずれかからなる単層もしくは多層膜であることを特徴とする請求項35記載の半導体装置の製造方法。

【請求項37】 前記第1の材料は SiO_2 、 Si_3N_4 、 SiO_N 、 Al_2O_3 、 SiC 、カーボン膜のうち選択された1つ、またはその組み合わせからなることを特徴とする請求項36記載の半導体装置の製造方法。

【請求項38】 前記第1の領域は高速動作が要求されるトランジスタのゲート領域であることを特徴とする請求項35または36記載の半導体装置の製造方法。

【請求項39】 前記第2の領域は高速動作が要求されるトランジスタのゲート領域以外の領域であることを特徴とする請求項35、36、38記載のいずれか1項記載の半導体装置の製造方法。

【請求項40】 前記第2の領域はメモリセル部を含むことを特徴とする請求項39記載の半導体装置の製造方法。

【請求項41】 前記第1のレジストパターンは前記第1の材料上に直接形成されるもの、あるいは反射防止膜上に形成されるもの、あるいは多層レジストマスクプロセスによって形成されるものであることを特徴とする請求項35、36、38、39のいずれか1項記載の半導体装置の製造方法。

【請求項42】 前記第1のレジストパターンはダミーパターンを含み、前記第1の領域を覆い、かつ前記第2の領域に第3のレジストパターンを形成する工程において前記第1の材料からなるダミーパターンをレジストで覆わないことを特徴とする請求項35、36、38、39、41のいずれか1項記載の半導体装置の製造方法。

【請求項43】 前記第1の領域にレジストを覆い、かつ第2の露光を行って前記第2の領域に第3のレジストパターンを形成する工程において、前記第2の露光で使用するマスクはクロムマスク、あるいはハーフトーンマスクであることを特徴とする請求項35、36、38、39、41、42のいずれか1項記載の半導体装置の製造方法。

【請求項44】 上記工程はトランジスタのゲート層形成に用いられることを特徴とする請求項35、36、38、39、41、42、43のいずれか1項記載の半導体装置の製造方法。

【請求項45】 処理基板上に第1の材料を形成する工程と、
レベンソン型位相シフトマスクを使用して第1の露光を行い、前記第1の材料上の第1の領域に第1のレジスト

パターンを形成し、かつ第2の領域にレジストを被覆する工程と、
 前記第1のレジストパターンを細らせて第2のレジストパターンを形成する工程と、
 前記第2のレジストパターンをマスクとして前記第1の材料を加工する工程と、
 前記第2のレジストパターンを除去して前記第1の材料からなる第1のパターンを形成する工程と、
 前記第1の材料からなる第1のパターンを細らせて前記第1の材料からなる第2のパターンを形成する工程と、
 前記第1の領域にレジストを覆い、かつ第2の露光を行って前記第2の領域に第3のレジストパターンを形成する工程と、
 前記第3のレジストパターンをマスクとして前記第1の材料を加工する工程と、
 前記第3のレジストパターンを除去して前記第1の材料からなる第3のパターンを形成する工程と、
 前記第1の材料からなる第3のパターンをマスクとして処理基板を加工する工程と、
 前記第1の材料を除去する工程と、
 を具備することを特徴とする半導体装置の製造方法。

【請求項46】 前記第1の材料はハードマスク材料膜、反射防止材料膜、平坦化膜のいずれかからなる単層もしくは多層膜であることを特徴とする請求項45記載の半導体装置の製造方法。

【請求項47】 前記第1の材料は SiO_2 、 Si_3N_4 、 SiO N 、 Al_2O_3 、 SiC 、カーボン膜のうち選択された1つ、またはその組み合わせからなることを特徴とする請求項46記載の半導体装置の製造方法。

【請求項48】 前記第1の領域は高速動作が要求されるトランジスタのゲート領域であることを特徴とする請求項45または46記載の半導体装置の製造方法。

【請求項49】 前記第2の領域は高速動作が要求されるトランジスタのゲート領域以外の領域であることを特徴とする請求項45、46、48記載のいずれか1項記載の半導体装置の製造方法。

【請求項50】 前記第2の領域はメモリセル部を含むことを特徴とする請求項49記載の半導体装置の製造方法。

【請求項51】 前記第1のレジストパターンは前記第1の材料上に直接形成されるもの、あるいは反射防止膜上に形成されるもの、あるいは多層レジストマスクプロセスによって形成されるものであることを特徴とする請求項45、46、48、49のいずれか1項記載の半導体装置の製造方法。

【請求項52】 前記第1のレジストパターンはダミーパターンを含み、前記第1の領域を覆い、かつ前記第2の領域に第3のレジストパターンを形成する工程において前記第1の材料からなるダミーパターンをレジストで覆わないことを特徴とする請求項45、46、48、4

9、51のいずれか1項記載の半導体装置の製造方法。

【請求項53】 前記第1の領域にレジストを覆い、かつ第2の露光を行って前記第2の領域に第3のレジストパターンを形成する工程において、前記第2の露光で使用するマスクはクロムマスク、あるいはハーフトーンマスクであることを特徴とする請求項45、46、48、49、51、52のいずれか1項記載の半導体装置の製造方法。

【請求項54】 前記の各工程はトランジスタのゲート層形成に用いられることを特徴とする請求項45、46、48、49、51、52、53のいずれか1項記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ロジックとメモリを混載したシステムLSI等の半導体装置の製造方法および半導体装置に関し、特にシステムLSIのロジック部におけるMOSトランジスタのゲートパターンの形成法および構造に関するものである。

【0002】

【従来の技術】近年、民生、情報機器等の電子機器は、益々、小型化、多機能化が求められており、これに伴ってこれらの電子機器に使用される、例えばシステムLSIは、微細化が要求されている。

【0003】そのため、システムLSIの製造においては、ロジック部のMOSトランジスタのデバイスパターンを如何に微細化するかが重要課題となっており、近年、リソグラフィー（露光）技術においては、露光光源、レジスト、超解像露光技術等の研究・開発が進められているが、現状においては、微細化の要求を満たすまでに至っていない。

【0004】近年、デバイスパターンの形成において、リソグラフィーの限界寸法以下に形成するための1つの技術として、まず、レジストパターンの形成後、前記レジストパターンを等方的エッチング等の処理を施すことにより、リソグラフィーの解像限界以下のパターン寸法を形成する、レジストスリミング法が提案されている。

【0005】以下このレジストスリミング法について、MOSトランジスタのプロセスに適用した例を用いて説明する。

【0006】図73から図78は、そのレジストスリミング法によるロジック部のMOSトランジスタの製造工程における工程平面図および該平面図のX-X'、Y-Y'線に沿う工程断面図である。即ち、図73に示すように、素子領域100aおよび素子分離領域100bを有するシリコン基板100上に熱酸化法等によりゲート絶縁膜101を形成した後、前記ゲート絶縁膜101上にCVD（Chemical Vapor Deposition）法等により被加工材料膜、例えばゲート電極材料膜としてのポリシリコン膜102を堆積する。

【0007】続いて、前記ポリシリコン膜102上にレジストを塗布・乾燥し、リソグラフィー（露光）を行って、第1のレジストパターン、例えばゲートレジストパターン103をリソグラフィー（露光）の解像限界寸法に形成する（ゲートレジストパターン形成工程）。この工程において、前記ゲートレジストパターン103は、前記素子領域100a上および前記素子分離領域100b上に形成する。ここで、前記素子領域100a上におけるパターン部をゲート電極パターン部103a、前記素子分離領域100b上におけるパターン部を配線パターン部103bと称する。

【0008】次いで、図74に示すように、前記ゲートレジストパターン103を O_2 系ガスをを用いた等方的ドライエッチング法等によりエッチング加工を施し、図中の破線で示すように、スリミング化させてリソグラフィーの解像限界以下のパターン寸法を有するゲートレジストパターン103'を形成する（ゲートレジストスリミング工程）。

【0009】次いで、図75に示すように、前記ゲートレジストパターン103'をマスクにして、RIE (Reactive Ion Etching) 法等により前記ポリシリコン膜102をエッチング加工して、前記素子領域100aに形成されたゲート電極パターン部104aおよび前記素子分離領域100b上に形成された配線パターン部104bを有するゲートパターン104を得る（ゲート電極加工工程）。

【0010】次に、図76に示すように、前記ゲートレジストパターン103'を O_2 アッシング法等により前記ゲートパターン104の表面から剥離しする（レジスト剥離工程）。

【0011】これにより、リソグラフィー解像限界寸法以下のパターン幅のゲートレジストパターン103'が形成可能となり、前記ゲートレジストパターン103'をマスクにゲート電極材料膜としての前記ポリシリコン膜102をエッチング加工することでリソグラフィーの解像限界以下のパターン幅をもつ微細なゲートパターン104が形成できる。

【0012】上記の工程後、図示しないが、前記ゲート電極パターン部104aをマスクにして前記シリコン基板100の表面に不純物注入を行い、トランジスタのソース・ドレイン拡散層（図76の破線で示す）を形成した後、周知の層間絶縁膜形成、配線工程等を行うことにより、MOSトランジスタが完成される。

【0013】

【発明が解決しようとする課題】しかしながら、従来のレジストスリミング法では、ラインパターンに相当するゲート電極パターン部104aは、微細なパターン形成が可能であるが、逆に配線パターン部104bのスペース部がスリミングによって広がるためにスペース部のデザインルールは、スリミングを行なわないときよりも緩

和しなければならない。即ち、図77に示すように、配線パターン部104bのスペース部の寸法（図中のゲートパターン突き当て間距離） t は、スリミングを施さない場合にはリソグラフィーの解像限界寸法 t_0 まで詰めることができるが、スリミングを施した場合にはリソグラフィーの解像限界寸法 t_0 に両側スリミング量 t_1 を加えた寸法 $t_0 + 2t_1$ まで緩和しなければならない。

【0014】この結果、従来のスリミング法では、トランジスタの微細ゲート電極パターン部の形成が可能であるためトランジスタの動作速度等の性能向上には効果があるものの、配線パターン部のスペース部のデザインルールが通常のリソグラフィー技術よりも緩和せざるを得ないため、チップ面積の縮小に効果がないという問題がある。

【0015】また、図78にDRAMメモリセル部のゲートパターンを示す。点線がスリミング前のレジストパターン、実線がスリミング後のレジストパターンである。メモリセル部では、集積度を向上させるため微細なパターンピッチが要求される。しかし、従来のレジストスリミング法をこのメモリセル部に施すと、スリミング後のスペースパターン寸法 P_1 が、リソグラフィーのスペース解像限界まで詰めることができない。このことは、リソグラフィー段階でのスペースパターン寸法 P_2 を緩和することを意味しており、その結果、メモリセル部のゲートパターンピッチが緩和され、比較的大規模なメモリセルが搭載されるシステムLSIでは、チップ面積が大きくなる可能性がある。

【0016】ところで、ロジックとメモリーを混載する半導体デバイスのゲート層回路パターンをレベソソ型位相シフトマスクによる露光とロジックゲート部のレジストスリミングプロセスを組み合わせる方法を用いて形成する場合では、ロジックゲート部にレベソソ型位相シフトマスクとトリムマスクを使用する2重露光によりレジストをパターンニングした後、スリミングプロセスにより前記レジストパターンを細らせ、その後メモリーセル部および配線部の露光を行う必要がある。この方法の場合、露光回数は3回必要となる。つまり露光工程数の多いプロセスとなるといった課題があった。

【0017】本発明の目的は、上記課題に鑑みなされたもので、チップ面積を増大させることなく、微細パターンを形成することで高性能、かつ低コストで半導体装置を製造できる半導体装置の製造方法を提供することにある。

【0018】また、本発明の他の目的は、高性能を有する半導体装置を提供することにある。

【0019】また、本発明の他の目的は、露光工程数を削減して低コストで半導体装置を製造できる半導体装置の製造方法を提供することにある。

【0020】

【課題を解決するための手段】上記課題を解決するため

に、この本発明に係る半導体装置の製造方法は、被加工膜上にマスク材料膜を堆積させ、該マスク材料膜上に第1の露光工程により第1のレジストパターンを形成する工程と、前記第1のレジストパターンをマスクに前記マスク材料膜を加工してマスクパターンを形成する工程と、前記第1のレジストパターンを剥離する工程と、前記マスクパターンを含む前記被加工膜上に、第2の露光工程により前記マスクパターンの選択領域を露出するための開口を有し、かつ非選択領域を被覆するような第2のレジストパターンを形成する工程と、前記第2のレジストパターンの開口内に露出された前記マスクパターン部分を細らせる工程と、前記第2のレジストパターンを剥離する工程と、前記マスクパターンをマスクに前記被加工膜をエッチング加工して、広い寸法幅のパターン部と細い寸法幅のパターン部とを有する被加工膜パターンを形成する工程とを具備することを特徴としている。

【0021】また、この発明に係る半導体装置の製造方法は、前記被加工膜上にハードマスク材料膜を堆積させ、該ハードマスク材料膜上に第1の露光工程により第1のレジストパターンを形成する工程と、前記第1のレジストパターンをマスクに前記ハードマスク材料膜をエッチング加工してハードマスクパターンを形成する工程と、前記第1のレジストパターンを剥離する工程と、前記ハードマスクパターンを含む前記被加工膜上に、第2の露光工程により前記ハードマスクパターンの選択領域を露出するための開口を有し、かつ非選択領域を被覆するような第2のレジストパターンを形成する工程と、前記第2のレジストパターンの開口内に露出された前記ハードマスクパターン部をエッチング加工によって細らせる工程と、前記第2のレジストパターンを剥離する工程と、前記ハードマスクパターンをマスクに前記被加工膜をエッチングして広い寸法幅のパターン部と細い寸法幅のパターン部とを有する被加工膜パターンを形成する工程と、前記ハードマスクパターンを剥離せずに残存させた状態で、トランジスタのソース、ドレイン部コンタクトを、該ハードマスクパターンを用いた自己整合により形成する工程とを具備することを特徴としている。

【0022】上記した発明によれば、露光の解像限界寸法に形成したレジストパターンをマスク材料膜、又はハードマスク材料膜に転写しマスクパターン、又はハードマスクパターンを形成した後、レジストパターンにより前記マスクパターン、又はハードマスクパターンの選択領域、例えばゲート電極パターン部を開口内に露出させ、かつ非選択領域、例えば配線パターン部を被覆し、前記露出された選択領域のパターンのみに選択的スリミングを施すため、チップ面積を増大させることなく、微細パターンの形成が可能で、例えばトランジスタの高性能化が図れる。

【0023】また、この発明に係る半導体装置は、素子領域および素子分離領域上に、同時に形成された回路パ

ターンを有する半導体装置において、前記回路パターンは、前記素子領域において細い寸法幅に形成されてなり、かつ前記素子分離領域において太い寸法幅に形成されてなることを特徴としている。

【0024】上記した発明によれば、素子領域上の回路パターン部、例えばゲート電極パターンが露光の解像限界以下の寸法幅に形成されるため、トランジスタの動作速度等の性能が向上する。

【0025】また、この発明に係る半導体装置の製造方法は、処理基板上に第1の材料を形成する工程と、レベソソソ型位相シフトマスクを使用して第1の露光を行い前記第1の材料上の第1の領域に第1のレジストパターンを形成し、かつ第2の領域にレジストを被覆する工程と、前記第1のレジストパターンを細らせて第2のレジストパターンを形成する工程と、前記第2のレジストパターンをマスクとして前記第1の材料を加工する工程と、前記第2のレジストパターンを除去して前記第1の材料からなる第1のパターンを形成する工程と、前記第1の領域にレジストを覆い、かつ第2の露光を行って前記第2の領域に第3のレジストパターンを形成する工程と、前記第3のレジストパターンをマスクとして前記第1の材料を加工する工程と、前記第3のレジストパターンを除去して前記第1の材料からなる第2のパターンを形成する工程と、前記第1の材料からなる第2のパターンをマスクとして前記処理基板を加工する工程と、前記第1の材料を除去する工程とを具備することを特徴としている。

【0026】また、この発明に係る半導体装置の製造方法は、処理基板上に第1の材料を形成する工程と、レベソソソ型位相シフトマスクを使用して第1の露光を行い前記第1の材料上の第1の領域に第1のレジストパターンを形成し、かつ第2の領域にレジストを被覆する工程と、前記第1のレジストパターンをマスクとして前記第1の材料を加工する工程と、前記第1のレジストパターンを除去し前記第1の材料からなる第1のパターンを形成する工程と、前記第1の材料からなる第1のパターンを細らせて前記第1の材料からなる第2のパターンを形成する工程と、前記第1の領域をレジストで覆い、かつ第2の露光を行って前記第2の領域に第2のレジストパターンを形成する工程と、前記第2のレジストパターンをマスクとして前記第1の材料を加工する工程と、前記第2のレジストパターンを除去して前記第1の材料からなる第3のパターンを形成する工程と、前記第1の材料からなる第3のパターンをマスクとして前記処理基板を加工する工程と、前記第1の材料を除去する工程とを具備することを特徴としている。

【0027】また、この発明に係る半導体装置の製造方法は、処理基板上に第1の材料を形成する工程と、レベソソソ型位相シフトマスクを使用して第1の露光を行い、前記第1の材料上の第1の領域に第1のレジストパ

ターンを形成し、かつ第2の領域にレジストを被覆する工程と、前記第1のレジストパターンをマスクとして前記第1の材料を加工する工程と、前記第1のレジストパターンを除去し、前記第1の材料からなる第1のパターンを形成する工程と、前記第1の領域をレジストで覆い、かつ第2の露光を行って前記第2の領域に第2のレジストパターンを形成する工程と、前記第2のレジストパターンをマスクとして前記第1の材料を加工する工程と、前記第2のレジストパターンを除去して前記第1の材料からなる第2のパターンを形成する工程と、前記第1の材料からなる第2のパターンをマスクとして処理基板を加工する工程と、前記第1の材料を除去する工程とを具備することを特徴としている。

【0028】また、この発明に係る半導体装置の製造方法は、処理基板上に第1の材料を形成する工程と、レベソソ型位相シフトマスクを使用して第1の露光を行い、前記第1の材料上の第1の領域に第1のレジストパターンを形成し、かつ第2の領域にレジストを被覆する工程と、前記第1のレジストパターンを細らせて第2のレジストパターンを形成する工程と、前記第2のレジストパターンをマスクとして前記第1の材料を加工する工程と、前記第2のレジストパターンを除去して前記第1の材料からなる第1のパターンを形成する工程と、前記第1の材料からなる第1のパターンを細らせて前記第1の材料からなる第2のパターンを形成する工程と、前記第1の領域にレジストを覆い、かつ第2の露光を行って前記第2の領域に第3のレジストパターンを形成する工程と、前記第3のレジストパターンをマスクとして前記第1の材料を加工する工程と、前記第3のレジストパターンを除去して前記第1の材料からなる第3のパターンを形成する工程と、前記第1の材料からなる第3のパターンをマスクとして処理基板を加工する工程と、前記第1の材料を除去する工程とを具備することを特徴としている。

【0029】上記した発明によれば、前記処理基板上に形成した第1の材料（マスク材料膜）、例えばハードマスク材料膜を用いて、2回のリソグラフィー工程（第1、第2の露光）を行って所望の回路パターンを形成するので、従来の半導体装置の製造方法と比較して露光工程数を低減することができ、製造コストを削減することができる。

【0030】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態について説明する。

【0031】実施の形態1

本発明の第1の実施の形態に係る半導体装置の製造方法について説明する。

【0032】この実施の形態は、本発明をロジックとメモリを混載したシステムLSIに適用した例である。図1から図9は、レジストスリミング法によるロジック部

のMOSトランジスタの各工程における工程平面図および該平面図のX-X'、Y-Y'線に沿う工程断面図である。

【0033】即ち、図1に示すように、素子領域1aおよび素子分離領域1bを有するシリコン基板1上の熱酸化法等により、ゲート絶縁膜2を膜厚1～3nmに形成した後、低圧CVD法等により、被加工材料膜（被加工膜）、例えばゲート電極材料膜としてポリシリコン膜3を膜厚150～200nmに形成する。続いて、前記ポリシリコン膜3上に、スパッタ法等によりマスク材料膜、例えばハードマスク材料膜（第1の材料）としての、例えばSiON膜4を膜厚50から100nmに形成する。このハードマスク材料膜4としては、SiONの他に、SiO₂、Si₃N₄や下地からの光学的反射防止膜となるAl₂O₃、SiC、カーボン膜を単独、若しくは組合わせて用いてもよい。

【0034】次いで、前記SiON膜4上にフォトレジストを回転塗布し、かつ乾燥させた後、第1のリソグラフィー（露光）工程（第1の露光工程）により、前記素子領域1aおよび前記素子分離領域1b上の前記SiON膜4上に、レジストパターン（第1のレジストパターン）、例えばゲートレジストパターン5をリソグラフィーの解像限界寸法に形成する（ゲートレジストパターン形成工程）。このとき、レジスト塗布前に塗布型反射防止膜を塗布しても良い。

【0035】ここで、前記素子領域1a上のゲートレジストパターン部をゲート電極パターン部5a、前記素子分離領域1b上のゲートレジストパターン部を配線パターン部5bと称する。

【0036】次いで、図2に示すように、前記ゲートレジストパターン5をマスクに前記SiON膜4をRIE法等によりドライエッチング加工して、ゲート電極パターン部6aおよび配線パターン部6bをもつハードマスクパターン6を形成する（ハードマスク加工工程）。前記塗布型反射防止膜が形成されている時は、このハードマスク加工工程の前に前記反射防止膜加工工程が入る。このハードマスク加工工程において、エッチングガスとしては、CHF₃等のフロロカーボン系のガスを用いる。

【0037】次いで、図3に示すように、前記ゲートレジストパターン5をO₂アッシング法等により剥離する（レジスト剥離工程）。この工程において、レジスト剥離は、過酸化水素水と硫酸の混合液を単独、若しくは組合わせた剥離液を用いた湿式エッチング法を用いてもよい。

【0038】次いで、図4に示すように、前記ハードマスクパターン6を含む前記シリコン基板1上に、フォトレジストを回転塗布し、かつ乾燥させた後、第2のリソグラフィー（露光）工程により、所定パターンを有する耐エッチング材としての第2のレジストパターン7を形成

する(スリミングパターン露呈工程)。

【0039】この工程では、前記第2のレジストパターン7は、スリミングによって細らせた部分(例えば、ロジック部のゲート電極パターン部等)を開口7aさせ、かつスリミングを施したくない部分(例えば、微細スペースパターン部が形成される素子分離領域1b上の配線パターン部、比較的密集度の高いメモリセルパターン部等)を覆うようなパターンに形成される。そして前記開口7aは、素子領域1aとの合せずれ余裕を見込んで、素子領域1aの面積よりやや大きく、例えば数10nm程度大きく形成することが望ましい。

【0040】また、この工程では、フォトレジストとしては、前記素子分離領域1bの形成において用いるフォトレジストと反対のトーンをもつレジスト、例えば素子分離領域1bの形成においてポジ型レジストを使用した場合には、ネガ型レジストを、逆にネガ型レジストの場合には、ポジ型レジストを使用すると素子分離領域1bの形成工程で用いた素子分離領域形成の露光マスクが利用でき経済的であるため、好ましい。

【0041】また、この第2のリソグラフィー工程は、段差パターン(ハードマスクパターン)上でのレジスト形成となるので、平坦化材料を用いた多層レジストプロセスを用いてもよい。

【0042】次いで、図5に示すように、前記第2のレジストパターン7をマスクにして、前記第2のレジストパターン7の開口7a内に露呈された前記ゲート電極パターン6aに対してCDE(Chemical Dry Etching)法、やRIE法等によるドライエッチング法、若しくは湿式エッチング法によるエッチングを施し、図中の破線で示すように、前記開口7a内の前記ゲート電極パターン部6aのみを選択的にスリミング化させてリソグラフィーの解像限界以下のパターン寸法に形成する(ハードマスク電極加工工程)。

【0043】この工程において、前記ゲート電極パターン部6aのエッチングとしてドライエッチングを行なう場合、エッチングガスとしては、例えば、 CHF_3 等のフッロカーボン系のガスを用いる。湿式エッチングを行なう場合は、 $\text{hot H}_3\text{PO}_4$ を用いる。

【0044】次いで、図6に示すように、前記第2のレジストパターン7を O_2 アッシング法等により剥離する(レジスト剥離工程)。この工程において、レジスト剥離は、過酸化水素水と硫酸の混合液を単独、若しくは組合わせた剥離液を用いた湿式エッチング法を用いてもよい。

【0045】次いで、図7に示すように、前記ハードマスクパターン6をマスクにRIE法等のドライエッチングにより前記ポリシリコン膜3をエッチング加工して、ゲート電極パターン部8aと配線パターン部8bをもつゲートパターン8を得る(ゲート電極加工工程)。続いて、前記ゲート絶縁膜2をエッチングする。この工程で

は、前記ポリシリコン膜3のエッチングガスとしては、 Cl_2 、 HBr 等のハロゲン系ガスを用いる。

【0046】次に、図8に示すように、前記ハードマスクパターン6を湿式エッチング法等によりエッチング除去する(ハードマスク剥離工程)。この工程では、エッチング液としては、 $\text{hot H}_3\text{PO}_4$ を用いる。

【0047】これにより、図9に示すように、微細ライン寸法が要求される個所(ロジック部のトランジスタのゲート電極パターン部)、例えばゲート電極パターン部8aは、スリミングにより、リソグラフィー解像限界寸法以下の微細なパターンに形成され、微細スペースが要求される個所(素子分離上のゲートパターン間スペースやメモリセル部)、例えば配線パターン部8bは、スリミングより広がらず、リソグラフィーの解像限界の微細スペースに、各々、形成される。

【0048】上記の工程後、図示しないが、前記ゲート電極パターン部8aをマスクに前記シリコン基板1の表面に不純物注入して、トランジスタのソース・ドレイン拡散層(図8の破線で示す)を形成した後、周知の層間絶縁膜形成工程、配線工程等を行うことにより、MOSトランジスタが完成される。

【0049】この実施の形態によれば、微細ライン寸法が要求される個所(ロジック部のトランジスタのゲート電極パターン部)にのみを、選択的スリミングを行うことで、スリミングによる微細ゲート電極パターン8a(ラインパターン)と、スリミングを施さないことによる微細配線パターン8b(スペースパターン)を形成することが可能で、トランジスタの動作速度等の性能向上とチップのシュリンクを同時に実現することができる。

【0050】次に、実際のデザインルールの各項目に照らし合わせて、本実施形態の方法と従来の方法とを比較検証する。

【0051】図10は、実際のゲート(GC)層/素子領域(AA)層のパターンレイアウトとデザインルールの項目を示す。なお、図10は、従来の方法と本実施形態による転写後のパターン平面形状を示している。

【0052】図中、記号のA0はトランジスタのゲート長で、このゲート長のデザインルールは、本実施形態においても、従来の方法と同等のルールが設定でき、スリミングによるゲート長の微細化によって高性能のトランジスタが実現できる。A1は素子分離領域上の配線パターン幅で、この個所については、本実施形態に比べて従来の方法ではスリミングが施されるため、微細なパターンになる。しかしながらA1に関する部位のチップサイズに与えるインパクトは、ゲートコンタクトフリンジが決定する場合が多く、このゲートコンタクトフリンジはゲート-コンタクト合わせ余裕によって決まるため、ある程度のゲートコンタクトフリンジがA1とは独立に必要である。即ち、A1の設計値が微細になってもチップサイズに与えるインパクトは小さい。

【0053】また、ゲート間のスペースB0Aおよび素子分離領域を横切るゲートのスペースB0Bのルールは、本実施形態でも従来の方法でも同じ値となる。ゲート配線パターンのスペースB1は、本実施形態ではリソグラフィーの解像限界寸法まで小さくすることができ、チップサイズ縮小に対するインパクトが大きい。Cはトランジスタのエンドキャップと呼ばれるもので、この箇所はラインショートニングと合わせずれによりゲート端がAA上に乗りあがるのを防ぐためにある程度の領域（面積）を確保しておく必要がある。即ち、従来の方法では素子分離領域上のスリミングを見込んでスリミング前は点線の領域でパターンニングしておく必要があり、この領域は本実施形態のパターンニングされる領域よりも大きくなる。そのため、従来の方法では、リソグラフィー段階における素子分離領域上のスペース（図中のGap）をレジスト形成時でのショート避けるため、ある程度大きく設定する必要があり、チップ縮小に不利となる。このことは、ゲート配線パターンとAAとの間隔Eについても同様である（EのルールはGC-AA合わせ余裕で決定されるため）。ゲートとAAの距離Dのルールは、従来の方法でも本実施形態でも同じ値となる。ゲートの最小島領域Fは従来の方法が微細なパターンが形成可能であるが、島パターンが小さくなくてもスペースが小さくできなければチップサイズ縮小にインパクトを与えない。

【0054】以上のように、A0、B0A、B0B、D、Fのルールについては、従来の方法、本実施形態とも差が無く、A1、B1、C、Eについては、本実施形態の方が従来法よりもチップ面積縮小に対して有利であり、総合的に本実施形態がチップ面積縮小に対して優れていることが明らかである。

【0055】また、本実施の形態によれば、素子領域上のパターンに対しては、スリミングを施し、素子分離領域上のパターンに対しては、スリミングを施さないの、前記第2の露光工程で転写される前記第2のレジストパターン7は、前記素子領域1aの反転パターンとなる。その場合、前記素子領域1aと前記第2のレジストパターン7との合わせずれ余裕を見込み、前記第2の露光工程で転写される第2のレジストパターン7の開口7aは、前記素子領域1aの面積よりもやや大きく形成することもできる。更にこの場合、前記第2の露光工程に素子分離領域形成において用いたレジストとトーン（ポジ型、若しくはネガ型）と反対のトーンのレジストを用いると、前記第2の露光工程に用いるマスクは素子分離領域形成に用いるマスクと同一のものが使用でき経済的である。

【0056】また、本実施形態においては、メモリセル部は、スリミングが施されないように、第2のレジストパターンによりマスクしているので、第1の露光工程によるリソグラフィーの解像限界寸法を維持する。そのた

め、比較的大規模なメモリセルが搭載されるシステムLSIにおいても、従来のように、チップ面積を増加させることはない。

【0057】また、本実施形態の半導体装置によれば、ゲート長がスリミングによりリソグラフィーの解像限界以下の寸法にできるため、トランジスタの動作速度等の高性能化が図れる。

【0058】実施の形態2

次に、本発明の第2の実施の形態に係る半導体装置の製造方法について図11から図15を用いて説明する。本実施の形態も、第1の実施の形態と同様に、本発明をロジックとメモリを混載したシステムLSIに適用して例であるが、本実施の形態では、ゲート電極加工後にハードマスクを剥離せずにそのまま残存させ、該ハードマスクをソース・ドレイン拡散層とのセルフアラインコンタクトに利用するようにものである。

【0059】図11は、レジストスリミング法によるゲート電極加工工程を示す工程平面図および該平面図のX-X'線に沿う工程断面図、図12から図15は、セルフアラインコンタクト形成までの各製造工程の工程断面図である。即ち、本実施の形態では、まず、上記第1の実施の形態と同様に、ゲートレジストパターン形成工程、ハードマスク加工工程、レジスト剥離工程、反転リソグラフィー工程、ハードマスクスリミング工程、ゲート電極加工工程およびレジスト剥離工程を、順次、経て、図11に示すような、シリコン基板1の素子領域1a上に、スリミングによってリソグラフィー解像限界寸法以下に形成された微細なゲート電極パターン部（ラインパターン）8aを有し、かつ素子分離領域1b上に、スリミングが施されなかった微細配線パターン部（スペースパターン部）8bを有するゲートパターン8を得る（ゲート電極加工工程）。

【0060】次いで、図12に示すように、前記シリコン基板1上に最終的にゲート側壁膜となる、例えばSi₃N₄膜をCVD法等により膜厚25～100nmに堆積した後、RIE法等によりエッチングして前記ハードマスクパターン6aおよび前記ゲート電極パターン8a側壁にゲート側壁膜20を形成する（側壁絶縁膜形成工程）。この工程では、エッチングガスとしては、Cl₂、HBr等のハロゲン系のガスを用いる。

【0061】次いで、図13に示すように、前記ゲート電極パターン8aを含む前記シリコン基板1上にCVD法等により酸化膜等の層間絶縁膜21を膜厚0.5μm～2.0μmに堆積（層間絶縁膜形成工程）後、前記層間絶縁膜21上面をCMP（Chemical Mechanical Polishing）法により平坦化する（層間絶縁膜平坦化工程）。続いて、前記層間絶縁膜21上にコンタクト形成用のレジストパターン22を形成する（コンタクトレジスト形成工程）。

【0062】次いで、図14に示すように、前記レジス

トパターン22をマスクにR I E法等で前記層間絶縁膜21をエッチング除去して前記シリコン基板1表面のソース・ドレイン拡散層23に達するコンタクト孔24を形成する(層間絶縁膜エッチング工程)。この工程では、エッチングガスとしては、 $CxFx$ 等のフロロカーボン系のガスを用い、層間絶縁膜21とゲート側壁膜20とのエッチング選択比によってコンタクト孔24を形成する。

【0063】次いで、図15に示すように、前記レジストパターンを酸素アッシング法等により剥離(レジスト剥離工程)した後、ポリシリコン等の電極材料をCVD法等により前記コンタクト孔24を埋め込むように堆積させ、例えば不要な部分の電極材料を除去して前記コンタクト孔24内に埋め込みコンタクト25を形成する(コンタクト形成工程)。

【0064】この実施形態によれば、上記第1の実施の形態と同様なスリミングによる微細ラインパターンと、スリミングを行わないことによる微細スペースパターンを形成することが可能である。また、ゲート電極パターンがリソグラフィーの解像限界以下の寸法に形成されているので、トランジスタの動作速度等の性能向上が図れる。しかも、トランジスタの性能向上とチップのシュリンクを同時に実現することができる効果の他に、次のような効果が得られる。

【0065】即ち、前記ハードマスクパターン6aを前記ゲート電極パターン8a上に残しておき、前記層間絶縁膜(SiO_2)21と前記ハードマスクパターン6aとのエッチング選択比によって、コンタクト孔24の形成を行うことにより、前記ゲート電極パターン部8aを保護して、かつ前記コンタクト孔24を自己整合的に形成できるので、製造工程を簡略化できる。

【0066】実施の形態3

次に、本発明の第3の実施の形態に係る半導体装置の製造方法について図16から図21を用いて説明する。本実施の形態も、第1の実施の形態と同様に、本発明をロジックとメモリを混載したシステムLSIに適用した例であるが、本実施の形態では、ハードマスクに代えて多層レジストプロセスを用いたことを特徴としている。

【0067】図16から図21は、その製造工程を示す工程平面図および該平面図のX-X'、Y-Y'線に沿う工程断面図である。即ち、本実施の形態では、まず、図16に示すように、素子領域31aおよび素子分離領域31bを有するシリコン基板31の表面にゲート絶縁膜32、被加工膜、例えばゲート電極材料膜としてのポリシリコン膜33を、順次、堆積した後、前記ポリシリコン膜33上に多層レジスト膜34を形成する。

【0068】そして、前記多層レジスト膜34は、前記ポリシリコン膜33上に形成されるカーボン、若しくはノボラック系レジスト等の有機膜からなる下層膜34₁と、前記下層膜34₁上に形成されるSOG(Spin on

Glass)、 SiO_2 等の中間膜34₂と、前記中間膜34₂上に形成されるフォトリソ膜34₃とから構成され、前記下層膜34₁および前記中間膜34₂は、光学的反射防止膜としての機能を有する。また、前記下層膜34₁、又は前記中間膜34₂は、被加工膜のエッチング加工のためのマスク材として機能する。また、前記下層膜34₁、前記中間膜34₂および前記フォトリソ膜34₃は、例えば回転塗布後、乾燥させることにより形成され、前記下層膜34₁は、膜厚0.5 μm 程度に形成され、前記中間膜34₂は、膜厚10nm程度に形成され、前記フォトリソ膜34₃は、膜厚0.2 μm 程度に形成される。

【0069】次いで、第1のリソグラフィー(露光)工程により、前記フォトリソ膜34₃をパターンニングして前記素子領域31aおよび前記素子分離領域31b上に、ゲートレジストパターン35をリソグラフィーの解像限界寸法に形成する(ゲートレジストパターン形成工程)。ここで、前記素子領域31a上のゲートレジストパターン部をゲート電極パターン部35a、前記素子分離領域31b上のゲートレジストパターン部を配線パターン部35bと称する。

【0070】次いで、図17に示すように、前記ゲートレジストパターン35をマスクに前記反射防止膜、即ち前記中間膜34₂および前記下層膜34₁を、順次、CDE法等のドライエッチングによりパターンニングして、中間膜パターン36および下層膜パターン37を形成する(反射防止膜加工工程)。この工程では、前記中間膜34₂のエッチングガスとしては、 CHF_3/O_2 等のフロロカーボン系のガスを用い、前記下層膜34₁のエッチングガスとしては、例えばノボラック系レジストの場合には、 N_2/O_2 の混合ガスを用いる。また、前記中間膜パターン36および前記ゲート下層膜パターン37は、いずれも、ゲート電極パターン部36a、37aおよび配線パターン部36b、37bを有する。なお、前記下層膜パターン37のパターンニングの際に、前記フォトリソ膜パターン35および前記中間膜パターン36は、膜減りして最終的には消滅してなくなる。従って、前記下層膜パターン37が、後述するポリシリコン膜のエッチング加工の際のマスクパターンとして機能することになる。

【0071】次いで、図18に示すように、上記第1の実施の形態と同様に、前記下層膜パターン37を含む前記シリコン基板31上に、フォトリソ膜を回転塗布し、かつ乾燥させた後、第2のリソグラフィー(露光)工程により、前記下層膜パターン37の前記ゲート電極パターン部37aを開口38a内に露出し、かつ前記配線パターン部37bを被覆するような所定パターンを有する耐エッチング材としての第2のレジストパターン38を形成する(スリミングパターン露呈工程)。

【0072】この工程では、前記第2のレジストパター

ン38は、後述の前記下層膜パターン37のエッチングによるスリミング工程において、耐エッチング性を有する選択比のものを用いる。また、前記開口38aは、素子領域との合せずれ余裕を見込んで、素子領域面積よりやや大きく、例えば数10nm程度大きく形成することが望ましい。また、フォトレジストとしては、前記素子分離領域の形成において用いるフォトレジストと反対のトーンをもつレジスト、例えば素子分離領域の形成においてポジ型レジストを使用した場合には、ネガ型レジストを、逆にネガ型レジストの場合には、ポジ型レジストを使用すると素子分離領域の形成工程で用いた素子分離領域形成の露光マスクが利用でき経済的であるため、好ましい。

【0073】また、この第2のリソグラフィー工程は、段差パターン（ハードマスクパターン）上でのレジスト形成となるので、平坦化材料（平坦化膜）を用いた多層レジストプロセスを用いてもよい。

【0074】次いで、図19に示すように、前記第2のレジストパターン38をマスクにして、前記第2のレジストパターン38の開口38a内に露呈された前記下層膜パターン37のゲート電極パターン部37aに対してCDE法等による等方的エッチングを施し、図中の破線で示すように、前記開口38a内の前記ゲート電極パターン部37aのみを選択的にスリミング化させてリソグラフィーの解像限界以下のパターン寸法に形成する（下層膜スリミング加工工程）。この工程において、前記下層膜パターン部37aのエッチングガスとしては、例えば、 N_2/O_2 の混合ガスを用いる。

【0075】次いで、図20に示すように、前記下層膜パターン37をマスクにRIE法等のドライエッチングにより前記ポリシリコン膜33をエッチング加工して、ゲート電極パターン部39aと配線パターン部39bをもつゲートパターン39を得る（ゲート電極加工工程）。続いて、前記ゲート絶縁膜32をエッチングする。この工程において、前記ポリシリコン膜33のエッチングガスとしては、 Cl_2 、HBr等のハロゲン系ガスを用いる。

【0076】次に、図21に示すように、前記下層膜パターン37を O_2 アッシング法等により剥離する（下層膜剥離工程）。

【0077】これにより、微細ライン寸法が要求される個所（ロジック部のトランジスタのゲート電極パターン部）、例えばゲート電極パターン部39aは、スリミングにより、リソグラフィー解像限界寸法以下の微細なパターンに形成され、微細スペースが要求される個所（素子分離上のゲートパターン間スペースやメモリセル部）、例えば配線パターン部39bは、スリミングされず、リソグラフィーの解像限界寸法をもつ微細スペースに、各々、形成される。

【0078】上記の工程後、図示しないが、前記ゲート

電極パターン部39aをマスクに前記シリコン基板31の表面に不純物注入して、トランジスタのソース・ドレイン拡散層（図21中の破線）を形成した後、周知の層間絶縁膜形成工程、配線工程等を行うことにより、MOSトランジスタが完成される。

【0079】この実施の形態によれば、上記実施の形態による効果の他に、第1のレジストパターン35となるフォトレジスト膜34₃は、膜厚10nm程度の薄い中間膜34₂をパターニングするに必要な膜厚でよく、例えば従来の場合、 $0.4\mu m$ および第1の実施の形態の場合、 $0.3\mu m$ に比べて薄くできるため、解像度の向上により、パターンの加工精度が向上する。また、このためトランジスタの性能をより向上できる。

【0080】実施の形態4

次に、本発明の第4の実施の形態に係る半導体装置の製造方法について図22から図27を用いて説明する。図において、前記第3の実施の形態と同一の機能および構成を有する構成要素部分には、同一符号を付して詳しい説明を省略する。

【0081】本実施の形態と上記第3の実施の形態とが異なる点は、スリミング工程で、上記第3の実施の形態では、下層膜パターンに対してスリミングを行ったが、本実施の形態では、中間膜パターンに対してスリミングを行う点で異なるものである。

【0082】即ち、まず、図22に示すように、素子領域31aおよび素子分離領域31bを有するシリコン基板31の表面にゲート絶縁膜32、ポリシリコン膜33を堆積し、続いて、多層レジスト膜34としての下層膜34₁、中間膜34₂およびフォトレジスト膜34₃を順次、堆積した後、第1のリソグラフィー（露光）工程により、前記フォトレジスト膜34₃をパターニングして前記素子領域31a上にゲート電極パターン部35aを、前記素子分離領域31b上に配線パターン部35bを有するゲートレジストパターン35をリソグラフィーの解像限界寸法に形成する（ゲートレジストパターン形成工程）。

【0083】次いで、図23に示すように、前記ゲートレジストパターン35をマスクに前記中間膜34₂をRIE法等によりドライエッチングして、前記素子領域31a上にゲート電極パターン部36aを有し、かつ素子分離領域31b上に配線パターン部36bを有する中間膜パターン36を形成する（反射防止膜加工工程）。この工程では、前記中間膜34₂のエッチングガスとしては、 CHF_3/O_2 の混合ガス等のフッロカーボン系のガスを用いる。

【0084】次いで、前記中間膜パターン36上の前記フォトレジストパターン35を O_2 アッシングにより剥離（レジスト膜剥離工程）した後、図24に示すように、上記第3の実施の形態と同様に、第2のリソグラフィー（露光）工程により、前記中間膜パターン36の前記

ゲート電極パターン部36aを開口内に露出し、かつ前記配線パターン部36bを被覆するような所定パターンを有する耐エッチング材としての第2のレジストパターン38を形成する(スリミングパターン露呈工程)。ここで、前記第2のレジストパターン38は、後述の前記中間膜パターン36のエッチングによるスリミング工程において、耐エッチング性を有する選択比のものをを用いる。

【0085】また、前記開口38aは、素子領域との合せずれ余裕を見込んで、素子領域面積よりやや大きく、例えば数10nm程度大きく形成することが望ましい。また、フォトリソグロフィーとしては、前記素子分離領域の形成において用いるフォトリソグロフィーと反対のトーンをもつレジスト、例えば素子分離領域の形成においてポジ型レジストを使用した場合には、ネガ型レジストを、逆にネガ型レジストの場合には、ポジ型レジストを使用すると素子分離領域の形成工程で用いた素子分離領域形成の露光マスクが利用でき経済的であるため、好ましい。

【0086】また、この第2のリソグロフィー工程は、段差パターン(ハードマスクパターン)上でのレジスト形成となるので、平坦化材料を用いた多層レジストプロセスを用いてもよい。

【0087】次いで、図25に示すように、前記第2のレジストパターン38をマスクにして、前記第2のレジストパターン38の開口38a内に露呈された前記中間膜パターン36aに対してCDE法等による等方的エッチングを施し、図中の破線で示すように、前記開口38a内の前記中間膜パターン部36aのみを選択的にスリミング化させてリソグロフィーの解像限界以下のパターン寸法に形成する(中間膜スリミング加工工程)。この工程において、前記中間膜パターン部36aのエッチングガスとしては、例えば、 CHF_3/O_2 の混合ガス等のフッ素系カーボン系のガスを用いる。

【0088】次いで、図26に示すように、前記中間膜パターン36をマスクに用いてRIE法等のドライエッチングにより前記下層膜34₁をエッチング加工し、更に前記ポリシリコン膜33をエッチング加工して、ゲート電極パターン部39aと配線パターン部39bをもつゲートパターン39を得る(ゲート電極加工工程)。続いて、前記ゲート絶縁膜32をエッチングする。前記中間膜のエッチングガスとしては、 N_2/O_2 の混合ガスを用い、前記ポリシリコン膜33のエッチングガスとしては、 Cl_2 、 HBr 等のハロゲン系ガスを用いる。前記中間膜パターン36は、前記ポリシリコン膜33のエッチングの際、膜減りして最終的に消滅してなくなる。

【0089】次に、図27に示すように、前記下層膜パターン37を O_2 アッシング法等により剥離する(下層膜剥離工程)。これにより、微細ライン寸法が要求される箇所(ロジック部のトランジスタのゲート電極パターン部)、例えばゲート電極パターン部39aは、スリミ

ングにより、リソグロフィー解像限界寸法以下の微細なパターンに形成され、微細スペースが要求される箇所(素子分離上のゲートパターン間スペースやメモリセル部)、例えば配線パターン部39bは、スリミングされず、リソグロフィーの解像限界寸法の微細スペースに、各々、形成される。

【0090】上記の工程後、図示しないが、前記ゲート電極パターン部39aをマスクに前記シリコン基板31の表面に不純物注入して、トランジスタのソース・ドレイン拡散層(図27中の破線)を形成した後、周知の層間絶縁膜形成工程、配線工程等を行うことにより、MOSトランジスタが完成される。

【0091】この実施形態によれば、上記第3の実施の形態と同様に、第1のレジストが薄くでき、解像度が向上するため、パターンの加工精度が向上し、トランジスタの性能をより向上できる。

【0092】実施の形態5

本発明の実施の形態5に係る半導体装置の製造方法を、図28～図36を用いて以下に説明する。図28～図36は、半導体装置のゲート層パターン形成のフロー断面図および平面図を示す。

【0093】本実施の形態5では、レベソソ型位相シフトマスクを使用した第1の露光によりLogic Gate部のゲートパターンを形成し、トリムマスクを使用した第2の露光によりDRAM Cell部および配線部となる素子分離部のパターンを形成するものである。ゲートパターンおよび配線パターンを形成する工程では、レジストとゲート電極材との間にハードマスク材料膜となる絶縁膜を形成する。そして、Logic Gate部のレジストパターンに対してスリミングを行うものである。

【0094】まず、図28に示すように、熱酸化法等によりシリコン基板(処理基板)40上に素子分離部を形成する。これにより、Logic Gate部(第1の領域、例えばトランジスタのゲート領域)、DRAM Cell部(第2の領域、例えばメモリセル部)および SiO_2 からなる素子分離部(第2の領域)が形成される。

【0095】次に、低圧CVD法等により、被加工材料膜であるゲート電極材料膜41として、膜厚150～200nmのポリシリコン膜を形成する。

【0096】次に、ポリシリコン膜からなるゲート電極材料膜41上に、スパッタ法等によりハードマスク材料膜(第1の材料)42としての膜厚50～100nmの SiON 膜を形成する。このハードマスク材料膜42としては、 SiON の他に、 SiO_2 、 Si_3N_4 や下地からの光学的反射防止膜となる Al_2O_3 、 SiC 、カーボン膜等を単独、若しくは組合せて用いてもよい。

【0097】次に、ハードマスク材料膜42上にフォトリソグロフィー(レジスト)を回転塗布し、かつ乾燥させる。

【0098】次に、レベソソ型位相シフトマスクを使用して、第1のリソグロフィー工程(第1の露光)によ

りLogic Gate部にレジストパターン（第1のレジストパターン）を形成する。これは、リソグラフィーの解像限界寸法で形成する（ゲートレジストパターン形成工程）。このとき、レジスト塗布前に塗布型反射防止膜を塗布しても良い。

【0099】次に、図29に示すように、Logic Gate部のレジストパターンに対してドライエッチング等でスリミングを行い、より微細なレジストパターン（第2のレジストパターン）を形成する。このレジストパターンのフォトレジストとしては、DRAM Cell部および素子分離部に形成するフォトレジストと反対のトーンをもつフォトレジスト、例えば、DRAM Cell部および素子分離部に形成するフォトレジストとしてポジ型レジストを用いた場合には、Logic Gate部にはネガ型レジストを用い、逆に、DRAM Cell部および素子分離部に形成するフォトレジストとしてネガ型レジストを使用した場合には、Logic Gate部にはポジ型レジストを使用する。これにより、DRAM Cell部および素子分離部のフォトレジストの形成工程で用いた露光マスクが利用でき経済的であるため好ましい。

【0100】次に、図30に示すように、レジストパターンをマスク材として、RIE (Reactive Ion Etching) 法等によりLogic Gate部のハードマスク材料膜42をドライエッチング加工し、ハードマスクパターン（第1のパターン）を形成する（ハードマスク材料膜の加工工程）。エッチングガスとしては、 CHF_3 等のフロロカーボン系のガスを用いる。

【0101】その後、図31に示すように、 O_2 アッシング法等によりフォトレジスト43の剥離を行う。これにより、ハードマスクパターン（第1のパターン）が露出する。（レジスト剥離工程）。フォトレジスト43の剥離工程では、過酸化水素水と硫酸の混合液を単独、若しくは組合せた剥離液を用いた湿式エッチング法を用いてもよい。

【0102】次に、図32に示すように、トリムマスクを使用して、Logic Gate部のハードマスクパターンをフォトレジスト（レジスト）44で覆い、かつ、第2のリソグラフィー工程（第2の露光）によりDRAM Cell部および素子分離部にフォトレジストのパターン（第3のレジストパターン）44を形成する。

【0103】次に、図33に示すように、Logic Gate部のレジスト44をマスク材として、DRAM Cell部および素子分離部のハードマスク材料膜42をドライエッチング加工し、ハードマスクパターンを形成する（ハードマスク材料膜の加工工程）。エッチングガスとしては、 CHF_3 等のフロロカーボン系のガスを用いる。

【0104】その後、図34に示すように、アッシング法等によりレジスト44の剥離を行う。（レジスト剥離工程）。レジスト44の剥離工程では、過酸化水素水と硫酸の混合液を単独、若しくは組合せた剥離液を用いた

湿式エッチング法を用いてもよい。

【0105】次に、図35に示すように、RIE法等によりハードマスク材料膜42のパターンをマスク材としてゲート電極材膜41をエッチングする。これにより、ゲート電極パターンおよび配線パターンをもつハードマスクパターン（第2のパターン）を形成する。エッチングガスとしては、 CHF_3 等のフロロカーボン系のガスを用いる。

【0106】その後、図36に示すように、湿式エッチング法等によりハードマスクパターンであるハードマスク材料膜42を剥離する（ハードマスク剥離工程）。エッチング液としては、 $\text{hot H}_3\text{PO}_4$ を用いる。これにより、半導体装置のゲート電極パターンおよび配線パターンが形成される。

【0107】以上説明したように、実施の形態5に係る半導体装置の製造方法によれば、2回のリソグラフィー工程（第1、第2の露光）により、所望の回路パターンを形成することができるので、従来の半導体装置の製造方法と比較して露光工程数を低減することができ、製造コストを削減することができる。

【0108】これに対して、従来の半導体装置の製造方法では、すなわちハードマスク材料膜42を介さないプロセスを用いて半導体装置の回路パターンを形成しようとする場合、レベンソン型位相シフトマスクを使用したLogic Gate部に関する第1の露光と、トリムマスクを使用したLogic Gate部および素子分離部に関する第2の露光と、さらにスリミングプロセスを経た後のDRAM Cell部に関する第3の露光が必要となる。

【0109】なお、実施の形態5に係る半導体装置の製造方法において、ハードマスク材料膜としては、 SiON 、 Si_3N_4 、 SiO_2 、 Al_2O_3 、 SiC 、カーボン膜のうちのいずれか1つ、あるいはそれらの組み合わせを用いてもよい。

【0110】また、レベンソン型位相シフトマスクを使用した第1の露光、およびトリムマスクを使用した第2の露光によるレジストパターンの形成には、ハードマスク材料膜上に直接形成する場合、および反射防止膜上に形成する場合、また多層レジストマスクプロセスによって形成する場合のいずれでもよい。

【0111】また、トリムマスクとしては、クロムマスク、あるいは、ハーフトーンマスクであり、ハーフトーンマスクを使用した方が半導体装置のDRAM Cell部において、より高解像度の回路パターンを得ることができる。

【0112】実施の形態6

本発明の実施の形態6に係る半導体装置の製造方法を、図37～図45を用いて以下に説明する。図37～図45は、半導体装置のゲート層パターン形成のフロー断面図および平面図を示す。

【0113】本実施の形態6では、レベンソン型位相シフトマスクを使用した第1の露光によりLogic Gate部の

ゲートパターンを形成し、トリムマスクを使用した第2の露光によりDRAM Cell部および配線部となる素子分離部のパターンを形成するものである。ゲートパターンおよび配線パターンを形成する工程では、レジストとゲート電極材との間にハードマスク材料膜となる絶縁膜を形成する。そして、Logic Gate部のハードマスク材料膜のパターンに対してスリミングを行うものである。

【0114】 先ず、図37に示すように、熱酸化法等によりシリコン基板（処理基板）40上に素子分離部を形成する。これにより、Logic Gate部（第1の領域、例えばトランジスタのゲート領域）、DRAM Cell部（第2の領域、例えばメモリセル部）およびSiO₂からなる素子分離部（第2の領域）が形成される。

【0115】 次に、低圧CVD法等により、被加工材料膜であるゲート電極材料膜41として、膜厚150～200nmのポリシリコン膜を形成する。

【0116】 次に、ポリシリコン膜からなるゲート電極材料膜41上に、スパッタ法等によりハードマスク材料膜（第1の材料）42としての膜厚50～100nmのSiON膜を形成する。このハードマスク材料膜42としては、SiONの他に、SiO₂、Si₃N₄や下地からの光学的反射防止膜となるAl₂O₃、SiC、カーボン膜等を、単独若しくは組合せて用いてもよい。

【0117】 次に、ハードマスク材料膜42上にフォトレジスト（レジスト）を回転塗布し、かつ乾燥させる。

【0118】 次に、レベンソン型位相シフトマスクを使用して、第1のリソグラフィ工程（第1の露光）によりLogic Gate部にレジストパターン（第1のレジストパターン）を形成する。これは、リソグラフィの解像限界寸法で形成する（ゲートレジストパターン形成工程）。このとき、レジスト塗布前に塗布型反射防止膜を塗布しても良い。

【0119】 次に、図38に示すように、レジストパターンをマスク材として、RIE法等によりLogic Gate部のハードマスク材料膜42をドライエッチング加工し、ハードマスクパターン（第1のパターン）を形成する（ハードマスク材料膜の加工工程）。エッチングガスとしては、CHF₃等のフッロカーボン系のガスを用いる。

【0120】 その後、図39に示すように、O₂アッシング法等によりフォトレジスト43の剥離を行う。これにより、ハードマスクパターン（第1のパターン）が露出する。（レジスト剥離工程）。フォトレジスト43の剥離工程では、過酸化水素水と硫酸の混合液を単独、若しくは組合せた剥離液を用いた湿式エッチング法を用いてもよい。

【0121】 次に、図40に示すように、Logic Gate部のハードマスク材料膜のパターンに対してドライエッチング等でスリミングを行い、より微細なハードマスク材料膜のパターン（第2のパターン）を形成する。

【0122】 次に、図41に示すように、トリムマスクを使用して、Logic Gate部のハードマスクパターンをレジスト44で覆い、かつ、第2のリソグラフィ工程（第2の露光）によりDRAM Cell部および素子分離部にレジストパターン44（第2のレジストパターン）を形成する。

【0123】 次に、図42に示すように、Logic Gate部のレジスト44をマスク材として、DRAM Cell部および素子分離部のハードマスク材料膜42をドライエッチング加工し、ハードマスクパターンを形成する（ハードマスク材料膜の加工工程）。エッチングガスとしては、CHF₃等のフッロカーボン系のガスを用いる。

【0124】 その後、図43に示すように、アッシング法等によりフォトレジスト44の剥離を行う。（レジスト剥離工程）。フォトレジスト44の剥離工程では、過酸化水素水と硫酸の混合液を単独、若しくは組合せた剥離液を用いた湿式エッチング法を用いてもよい。

【0125】 次に、図44に示すように、RIE法等によりハードマスク材料膜42のパターン（第3のパターン）をマスク材としてゲート電極材料膜41をエッチングする。これにより、ゲート電極パターンおよび配線パターンをもつハードマスクパターンを形成する。エッチングガスとしては、CHF₃等のフッロカーボン系のガスを用いる。

【0126】 その後、図45に示すように、湿式エッチング法等によりハードマスクパターンであるハードマスク材料膜42を剥離する（ハードマスク剥離工程）。エッチング液としては、hot H₃PO₄を用いる。これにより、半導体装置の電極パターンおよび配線パターンが形成される。

【0127】 以上説明したように、実施の形態6に係る半導体装置の製造方法によれば、2回のリソグラフィ工程（第1、第2の露光）により、所望の回路パターンを形成することができるので、従来の半導体装置の製造方法と比較して露光工程数を低減することができ、製造コストを削減することができる。

【0128】 これに対して、従来の半導体装置の製造方法では、すなわちハードマスク材料膜42を介さないプロセスを用いて半導体装置の回路パターンを形成しようとする場合、レベンソン型位相シフトマスクを使用したLogic Gate部に関する第1の露光と、トリムマスクを使用したLogic Gate部および素子分離部に関する第2の露光と、さらにスリミングプロセスを経た後のDRAM Cell部に関する第3の露光が必要となる。

【0129】 なお、実施の形態6に係る半導体装置の製造方法において、ハードマスク材料膜としては、SiON、Si₃N₄、SiO₂、Al₂O₃、SiC、カーボン膜のうちのいずれか1つ、あるいはそれらの組み合わせを用いてもよい。

【0130】 また、レベンソン型位相シフトマスクを使用した第1の露光、およびトリムマスクを使用した第2

の露光によるレジストパターンの形成には、ハードマスク材料膜上に直接形成する場合、および反射防止膜上に形成する場合、また多層レジストマスクプロセスによって形成する場合のいずれでもよい。

【0131】また、トリムマスクとしては、クロムマスク、あるいはハーフトーンマスクであり、ハーフトーンマスクを使用した方が半導体装置のDRAM Cell部において、より高解像度の回路パターンを得ることができる。

【0132】実施の形態7

本発明の実施の形態7に係る半導体装置の製造方法を、図46～図53を用いて以下に説明する。図46～図53は、半導体装置のゲート層パターン形成のフロー断面図および平面図を示す。

【0133】本実施の形態7では、レベソソ型位相シフトマスクを使用した第1の露光によりLogic Gate部のゲートパターンを形成し、トリムマスクを使用した第2の露光によりDRAM Cell部および配線部となる素子分離部のパターンを形成するものである。ゲートパターンおよび配線パターンを形成する工程では、レジストとゲート電極材との間にハードマスク材料膜となる絶縁膜を形成する。また、実施の形態5、6、8、9の場合と異なり、本実施の形態7では、レジストパターンおよびハードマスク材料膜のパターンのいずれに対してもスリミングを行わない。

【0134】まず、図46に示すように、熱酸化法等によりシリコン基板（処理基板）40上に素子分離部を形成する。これにより、Logic Gate部（第1の領域、例えばトランジスタのゲート領域）、DRAM Cell部（第2の領域、例えばメモリセル部）およびSiO₂からなる素子分離部（第2の領域）が形成される。

【0135】次に、低圧CVD法等により、被加工材料膜であるゲート電極材料膜41として、膜厚150～200nmのポリシリコン膜を形成する。

【0136】次に、ポリシリコン膜からなるゲート電極材料膜41上に、スパッタ法等によりハードマスク材料膜（第1の材料）42としての膜厚50～100nmのSiON膜を形成する。このハードマスク材料膜42としては、SiONの他に、SiO₂、Si₃N₄や下地からの光学的反射防止膜となるAl₂O₃、SiC、カーボン膜等を、単独若しくは組合せて用いてもよい。

【0137】次に、ハードマスク材料膜42上にフォトリジストを回転塗布し、かつ乾燥させる。

【0138】次に、レベソソ型位相シフトマスクを使用して、第1のリソグラフィー工程（第1の露光）によりLogic Gate部にレジストパターン（第1のレジストパターン）を形成する。これは、リソグラフィーの解像限界寸法で形成する（ゲートレジストパターン形成工程）。このとき、レジスト塗布前に塗布型反射防止膜を塗布しても良い。

【0139】次に、図47に示すように、レジストパタ

ーンをマスク材として、RIE法等によりLogic Gate部のハードマスク材料膜42をドライエッチング加工し、ハードマスクパターン（第1のパターン）を形成する（ハードマスク材料膜の加工工程）。エッチングガスとしては、CHF₃等のフロロカーボン系のガスを用いる。

【0140】その後、図48に示すように、O₂アッシング法等によりフォトリジスト43の剥離を行う。これにより、ハードマスクパターン（第1のパターン）が露出する。（レジスト剥離工程）。フォトリジスト43の剥離工程では、過酸化水素水と硫酸の混合液を単独、若しくは組合せた剥離液を用いた湿式エッチング法を用いてもよい。

【0141】次に、図49に示すように、トリムマスクを使用して、Logic Gate部のハードマスクパターンをレジスト44で覆い、かつ、第2のリソグラフィー工程（第2の露光）によりDRAM Cell部および素子分離部にレジストパターン（第2のレジストパターン）44を形成する。

【0142】次に、図50に示すように、Logic Gate部のレジスト44をマスク材として、DRAM Cell部および素子分離部のハードマスク材料膜42をドライエッチング加工し、ハードマスクパターン（第2のパターン）を形成する（ハードマスク材料膜の加工工程）。エッチングガスとしては、CHF₃等のフロロカーボン系のガスを用いる。

【0143】その後、図51に示すように、アッシング法等によりフォトリジスト44の剥離を行う。（レジスト剥離工程）。フォトリジスト44の剥離工程では、過酸化水素水と硫酸の混合液を単独、若しくは組合せた剥離液を用いた湿式エッチング法を用いてもよい。

【0144】次に、図52に示すように、RIE法等によりハードマスク材料膜42のパターンをマスク材としてゲート電極材料膜41をエッチングする。これにより、ゲート電極パターンおよび配線パターンをもつハードマスクパターンを形成する。エッチングガスとしては、CHF₃等のフロロカーボン系のガスを用いる。

【0145】その後、図53に示すように、湿式エッチング法等によりハードマスクパターンであるハードマスク材料膜42を剥離する（ハードマスク剥離工程）。エッチング液としては、hot H₃PO₄を用いる。これにより、半導体装置の電極パターンおよび配線パターンが形成される。

【0146】以上説明したように、実施の形態7に係る半導体装置の製造方法によれば、2回のリソグラフィー工程（第1、第2の露光）により、所望の回路パターンを形成することができるので、従来の半導体装置の製造方法と比較して露光工程数を低減することができ、製造コストを削減することができる。

【0147】これに対して、従来の半導体装置の製造方

法では、すなわちハードマスク材料膜42を介さないプロセスを用いて半導体装置の回路パターンを形成しようとする場合、レベンソン型位相シフトマスクを使用したLogic Gate部に関する第1の露光と、トリムマスクを使用したLogic Gate部および素子分離部に関する第2の露光と、さらにスリミングプロセスを経た後のDRAM Cell部に関する第3の露光が必要となる。

【0148】なお、実施の形態7に係る半導体装置の製造方法において、ハードマスク材料膜としては、SiON、Si₃N₄、SiO₂、Al₂O₃、SiC、カーボン膜のうちのいずれか1つ、あるいはそれらの組み合わせを用いてもよい。

【0149】また、レベンソン型位相シフトマスクを使用した第1の露光、およびトリムマスクを使用した第2の露光によるレジストパターンの形成には、ハードマスク材料膜上に直接形成する場合、および反射防止膜上に形成する場合、また多層レジストマスクプロセスによって形成する場合のいずれでもよい。

【0150】また、トリムマスクとしては、クロムマスク、あるいはハーフトーンマスクであり、ハーフトーンマスクを使用した方が半導体装置のDRAM Cell部において、より高解像度の回路パターンを得ることができる。

【0151】実施の形態8

本発明の実施の形態8に係る半導体装置の製造方法を、図54～図63を用いて以下に説明する。図54～図63は、半導体装置のゲート層パターン形成のフロー断面図および平面図を示す。

【0152】本実施の形態8では、レベンソン型位相シフトマスクを使用した第1の露光によりLogic Gate部のゲートパターンを形成し、トリムマスクを使用した第2の露光によりDRAM Cell部および配線部となる素子分離部のパターンを形成するものである。ゲートパターンおよび配線パターンを形成する工程では、レジストとゲート電極材との間にハードマスク材料膜となる絶縁膜を形成する。また、実施の形態5、6、7の場合と異なり、本実施の形態8では、レジストパターンおよびハードマスク材料膜のパターンの双方のパターンに対してスリミングを行うものである。

【0153】まず、図54に示すように、熱酸化法等によりシリコン基板（処理基板）40上に素子分離部を形成する。これにより、Logic Gate部（第1の領域、例えばトランジスタのゲート領域）、DRAM Cell部（第2の領域、例えばメモリセル部）およびSiO₂からなる素子分離部（第2の領域）が形成される。

【0154】次に、低圧CVD法等により、被加工材料膜であるゲート電極材料膜41として、膜厚150～200nmのポリシリコン膜を形成する。

【0155】次に、ポリシリコン膜からなるゲート電極材料膜41上に、スパッタ法等によりハードマスク材料膜（第1の材料）42としての膜厚50～100nmのSiON膜を形成する。このハードマスク材料膜42とし

ては、SiONの他に、SiO₂、Si₃N₄や下地からの光学的反射防止膜となるAl₂O₃、SiC、カーボン膜等を、単独若しくは組合せて用いてもよい。

【0156】次に、ハードマスク材料膜42上にフォトレジストを回転塗布し、かつ乾燥させる。

【0157】次に、レベンソン型位相シフトマスクを使用して、第1のリソグラフィー工程（第1の露光）によりLogic Gate部にレジストパターン（第1のレジストパターン）を形成する。これは、リソグラフィーの解像限界寸法で形成する（ゲートレジストパターン形成工程）。このとき、レジスト塗布前に塗布型反射防止膜を塗布しても良い。

【0158】次に、図55に示すように、Logic Gate部のレジストパターンに対してドライエッチング等でスリミングを行い、より微細なレジストパターン（第2のレジストパターン）を形成する。このレジストパターンのフォトレジストとしては、DRAM Cell部および素子分離部に形成するフォトレジストと反対のトーンをもつフォトレジスト、例えば、DRAM Cell部および素子分離部に形成するフォトレジストとしてポジ型レジストを用いた場合には、Logic Gate部にはネガ型レジストを用い、逆に、DRAM Cell部および素子分離部に形成するフォトレジストとしてネガ型レジストを使用した場合には、Logic Gate部にはポジ型レジストを使用する。これにより、DRAM Cell部および素子分離部のフォトレジストの形成工程で用いた露光マスクが利用でき経済的であるため、好ましい。

【0159】次に、図56に示すように、レジストパターンをマスク材として、RIE法等によりLogic Gate部のハードマスク材料膜42をドライエッチング加工し、ハードマスクパターン（第1のパターン）を形成する（ハードマスク材料膜の加工工程）。エッチングガスとしては、CHF₃等のフロロカーボン系のガスを用いる。

【0160】その後、図57に示すように、O₂アッシング法等によりフォトレジスト43の剥離を行う。これにより、ハードマスクパターン（第1のパターン）が露出する。（レジスト剥離工程）。フォトレジスト43の剥離工程では、過酸化水素水と硫酸の混合液を単独、若しくは組合せた剥離液を用いた湿式エッチング法を用いてもよい。

【0161】次に、図58に示すように、Logic Gate部のハードマスク材料膜42のパターンに対してドライエッチング等でスリミングを行い、より微細なハードマスク材料膜のパターン（第2のパターン）を形成する。

【0162】次に、図59に示すように、トリムマスクを使用して、Logic Gate部のハードマスクパターンをフォトレジスト44で覆い、かつ、第2のリソグラフィー工程（第2の露光）によりDRAM Cell部および素子分離部にフォトレジストのパターン（第3のレジストパター

ン) 4 4 を形成する。

【0163】次に、図60に示すように、Logic Gate部のレジスト44をマスク材として、DRAM Cell部および素子分離部のハードマスク材料膜42をドライエッチング加工し、ハードマスクパターン(第3のパターン)を形成する(ハードマスク材料膜の加工工程)。エッチングガスとしては、 CHF_3 等のフッ素系炭素系のガスを用いる。

【0164】その後、図61に示すように、アッシング法等によりフォトリソレジスト44の剥離を行う。これにより、ハードマスクパターン(第3のパターン)が露出する。(レジスト剥離工程)。フォトリソレジスト44の剥離工程では、過酸化水素水と硫酸の混合液を単独、若しくは組合せた剥離液を用いた湿式エッチング法を用いてもよい。

【0165】次に、図62に示すように、RIE法等によりハードマスク材料膜42のパターンをマスク材としてゲート電極材膜41をエッチングする。これにより、ゲート電極パターンおよび配線パターンをもつハードマスクパターンを形成する。エッチングガスとしては、 CHF_3 等のフッ素系炭素系のガスを用いる。

【0166】その後、図63に示すように、湿式エッチング法等によりハードマスクパターンであるハードマスク材料膜42を剥離する(ハードマスク剥離工程)。エッチング液としては、 $\text{hot H}_3\text{PO}_4$ を用いる。これにより、半導体装置の電極パターンおよび配線パターンが形成される。

【0167】以上説明したように、実施の形態8に係る半導体装置の製造方法によれば、2回のリソグラフィ工程(第1、第2の露光)により、所望の回路パターンを形成することができるので、従来の半導体装置の製造方法と比較して露光工程数を低減することができ、製造コストを削減することができる。

【0168】これに対して、従来の半導体装置の製造方法では、すなわちハードマスク材料膜42を介さないプロセスを用いて半導体装置の回路パターンを形成しようとする場合、レベソソ型位相シフトマスクを使用したLogic Gate部に関する第1の露光と、トリムマスクを使用したLogic Gate部および素子分離部に関する第2の露光と、さらにスリミングプロセスを経た後のDRAM Cell部に関する第3の露光が必要となる。

【0169】なお、実施の形態8に係る半導体装置の製造方法において、ハードマスク材料膜としては、 SiON 、 Si_3N_4 、 SiO_2 、 Al_2O_3 、 SiC 、カーボン膜のうちのいずれか1つ、あるいはそれらの組み合わせを用いてもよい。

【0170】また、レベソソ型位相シフトマスクを使用した第1の露光、およびトリムマスクを使用した第2の露光によるレジストパターンの形成には、ハードマスク材料膜上に直接形成する場合、および反射防止膜上に形成する場合、また多層レジストマスクプロセスによっ

て形成する場合のいずれでもよい。

【0171】また、トリムマスクとしては、クロムマスク、あるいはハーフトーンマスクであり、ハーフトーンマスクを使用した方が半導体装置のDRAM Cell部において、より高解像度の回路パターンを得ることができる。

【0172】実施の形態9

本発明の実施の形態9に係る半導体装置の製造方法を、図64～図72を用いて以下に説明する。図64～図72は、半導体装置のゲート層パターン形成のフロー断面図および平面図を示す。

【0173】本実施の形態9では、レベソソ型位相シフトマスクを使用した第1の露光によりLogic Gate部にゲートパターンおよびダミーパターンを形成し、トリムマスクを使用した第2の露光によりダミーパターンを除去し、かつ、DRAM Cell部および配線部となる素子分離部のパターンを形成するものである。ゲートパターンおよび配線パターンを形成する工程では、レジストとゲート電極材との間にハードマスク材料膜となる絶縁膜を形成する。そして、Logic Gate部のダミーパターンを含むレジストパターンに対してスリミングを行うものである。

【0174】まず、図64に示すように、熱酸化法等によりシリコン基板(処理基板)40上に素子分離部を形成する。これにより、Logic Gate部(第1の領域、例えばトランジスタのゲート領域)、DRAM Cell部(第2の領域、例えばメモリセル部)および SiO_2 からなる素子分離部(第2の領域)が形成される。

【0175】次に、低圧CVD法等により、被加工材料膜であるゲート電極材膜41として、膜厚150～200nmのポリシリコン膜を形成する。

【0176】次に、ポリシリコン膜からなるゲート電極材膜41上に、スパッタ法等によりハードマスク材料膜(第1の材料)42としての膜厚50～100nmの SiON 膜を形成する。このハードマスク材料膜42としては、 SiON の他に、 SiO_2 、 Si_3N_4 や下地からの光学的反射防止膜となる Al_2O_3 、 SiC 、カーボン膜等を、単独若しくは組合せて用いてもよい。

【0177】次に、ハードマスク材料膜42上にフォトリソレジストを回転塗布し、かつ乾燥させる。本実施の形態9の場合では、Logic Gate部のゲートパターンの密度は粗であるため、ダミーパターン45を同時に形成する。

【0178】次に、レベソソ型位相シフトマスクを使用して、第1のリソグラフィ工程(第1の露光)によりLogic Gate部にレジストパターンを形成する。これは、リソグラフィの解像限界寸法で形成する(ゲートレジストパターン形成工程)。このとき、レジスト塗布前に塗布型反射防止膜を塗布しても良い。

【0179】次に、図65に示すように、Logic Gate部のレジストパターン43およびダミーパターン45に対してドライエッチング等でスリミングを行い、より微細

なレジストパターンを形成する。このLogic Gate部におけるダミーパターンおよびレジストパターンのフォトレジストとしては、DRAM Cell部および素子分離部に形成するフォトレジストと反対のトーンをもつフォトレジスト、例えば、DRAM Cell部および素子分離部に形成するフォトレジストとしてポジ型レジストを用いた場合には、Logic Gate部にはネガ型レジストを用い、逆に、DRAM Cell部および素子分離部に形成するフォトレジストとしてネガ型レジストを使用した場合には、Logic Gate部にはポジ型レジストを使用する。これにより、DRAM Cell部および素子分離部のフォトレジストの形成工程で用いた露光マスクが利用でき経済的であるため、好ましい。

【0180】次に、図66に示すように、Logic Gate部のレジストパターン43およびダミーパターン45をマスク材として、RIE法等によりLogic Gate部のハードマスク材料膜42をドライエッチング加工し、ハードマスクパターンを形成する（ハードマスク材料膜の加工工程）。エッチングガスとしては、 CHF_3 等のフロロカーボン系のガスを用いる。

【0181】その後、図67に示すように、 O_2 アッシング法等によりレジストパターン43およびダミーパターン45の剥離を行う。これにより、ハードマスクパターンが露出する。（レジスト剥離工程）。フォトレジスト43およびダミーパターン45の剥離工程では、過酸化水素水と硫酸の混合液を単独、若しくは組合せた剥離液を用いた湿式エッチング法を用いてもよい。

【0182】次に、図68に示すように、トリムマスクを使用して、Logic Gate部のハードマスクパターンをフォトレジストで覆う。これによりLogic Gate部のレジストパターン44が形成される。この場合、ダミーパターン45に対応するハードマスクパターン上にはフォトレジストを覆わない。そして、第2のリソグラフィー工程（第2の露光）によりDRAM Cell部および素子分離部にフォトレジストのパターン44を形成する。

【0183】次に、図69に示すように、Logic Gate部のレジスト44をマスク材として、DRAM Cell部および素子分離部のハードマスク材料膜42をドライエッチング加工し、ハードマスクパターンを形成する（ハードマスク材料膜の加工工程）。エッチングガスとしては、 CHF_3 等のフロロカーボン系のガスを用いる。

【0184】その後、図70に示すように、アッシング法等によりレジスト44の剥離を行う。（レジスト剥離工程）。レジスト44の剥離工程では、過酸化水素水と硫酸の混合液を単独、若しくは組合せた剥離液を用いた湿式エッチング法を用いてもよい。

【0185】次に、図71に示すように、RIE法等によりハードマスク材料膜42のパターンをマスク材としてゲート電極材料膜41をエッチングする。これにより、ゲート電極パターン部および配線パターンをもつハード

マスクパターンを形成する。エッチングガスとしては、 CHF_3 等のフロロカーボン系のガスを用いる。

【0186】その後、図72に示すように、湿式エッチング法等によりハードマスクパターンであるハードマスク材料膜42を剥離する（ハードマスク剥離工程）。エッチング液としては、 $\text{hot H}_3\text{PO}_4$ を用いる。これにより、半導体装置のゲート電極パターンおよび配線パターンが形成される。

【0187】以上説明したように、実施の形態9に係る半導体装置の製造方法によれば、2回のリソグラフィー工程（第1、第2の露光）により、所望の回路パターンを形成することができるので、従来の半導体装置の製造方法と比較して露光工程数を低減することができ、製造コストを削減することができる。また、本実施の形態9のように、レベンソン型位相シフトマスクを使用した露光で、Logic Gate部にダミーパターンを含む密集度の高いレジストパターンを形成する方法では、露光におけるフォーカスマージンの拡大および収差の低減等における寸法精度の向上等を図ることができる。

【0188】一方、従来の半導体装置の製造方法では、すなわちハードマスク材料膜42を介さないプロセスを用いて半導体装置の回路パターンを形成しようとする場合、レベンソン型位相シフトマスクを使用したLogic Gate部に関する第1の露光と、トリムマスクを使用したLogic Gate部および素子分離部に関する第2の露光と、さらにスリミングプロセスを経た後のDRAM Cell部に関する第3の露光が必要となる。

【0189】なお、実施の形態9に係る半導体装置の製造方法において、ハードマスク材料膜としては、 SiON 、 Si_3N_4 、 SiO_2 、 Al_2O_3 、 SiC 、カーボン膜のうちのいずれか1つ、あるいはそれらの組み合わせを用いてもよい。

【0190】また、レベンソン型位相シフトマスクを使用した第1の露光、およびトリムマスクを使用した第2の露光によるレジストパターンの形成には、ハードマスク材料膜上に直接形成する場合、および反射防止膜上に形成する場合、また多層レジストマスクプロセスによって形成する場合のいずれでもよい。

【0191】また、トリムマスクとしては、クロムマスク、あるいはハーフトーンマスクであり、ハーフトーンマスクを使用した方が半導体装置のDRAM Cell部において、より高解像度の回路パターンを得ることができる。

【0192】

【発明の効果】以上詳細に説明したように、本発明の半導体装置の製造方法によれば、高性能でチップ面積を縮小した半導体装置を得ることが可能となる。また、露光工程数を削減して低コストで半導体装置を製造することができる。また、本発明の製造方法により、動作速度等が高性能の半導体装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1に係る半導体装置の製造

ある。

【図 7 0】本発明の実施の形態 9 に係る半導体装置の製造方法を示す工程平面図および該平面図の工程断面図である。

【図 7 1】本発明の実施の形態 9 に係る半導体装置の製造方法を示す工程平面図および該平面図の工程断面図である。

【図 7 2】本発明の実施の形態 9 に係る半導体装置の製造方法を示す工程平面図および該平面図の工程断面図である。

【図 7 3】従来の半導体装置の製造方法を示す工程平面図および該平面図の X-X'、Y-Y' 線に沿う工程断面図である。

【図 7 4】従来の半導体装置の製造方法を示す工程平面図および該平面図の X-X'、Y-Y' 線に沿う工程断面図である。

【図 7 5】従来の半導体装置の製造方法を示す工程平面図および該平面図の X-X'、Y-Y' 線に沿う工程断面図である。

【図 7 6】従来の半導体装置の製造方法を示す工程平面図および該平面図の X-X'、Y-Y' 線に沿う工程断面図である。

【図 7 7】従来の半導体装置の製造方法におけるスリミング前とスリミング後のパターンである。

【図 7 8】従来の半導体装置の製造方法によるメモリセル部のスリミング前とスリミング後のゲートパターンである。

【符号の説明】

- 1、31、100…シリコン基板
- 1a、31a、100a…素子領域
- 1b、31b、100b…素子分離領域
- 2、32、101…ゲート絶縁膜
- 3、33、102…ポリシリコン膜（被加工膜）
- 4…SiON 膜（ハードマスク材料膜）
- 5、35、103…第 1 のレジストパターン（ゲートレジストパターン）
- 5a、35a、103a…ゲートレジストパターンのゲ

ート電極パターン部

5b、35b、103b…ゲートレジストパターンの配線レジストパターン部

6…ハードマスクパターン

6a…ハードマスクパターンのゲート電極パターン部

6b…ハードマスクパターンの配線ハードマスクパターン部

7、38…第 2 のレジストパターン

7a、38a…開口

8、39、104…ゲートパターン（被加工膜パターン）

8a、39a、104a…ゲートパターンのゲート電極パターン部（ラインパターン部）

8b、39b、104b…ゲートパターンの配線パターン部（スペースパターン部）

20…ゲート側壁膜

21…層間絶縁膜

22…コンタクト用レジストパターン

23…拡散層

24…コンタクト孔

25…コンタクト

34…多層レジスト膜

34₁…下層膜

34₂…中間膜

34₃…フォトレジスト膜

36…中間膜パターン

36a…中間膜パターンのゲート電極パターン部

36b…中間膜パターンの配線パターン部

37…下層膜パターン

37a…下層膜パターンのゲート電極パターン部

37b…下層膜パターンの配線パターン部

40…シリコン基板

41…ゲート電極材膜

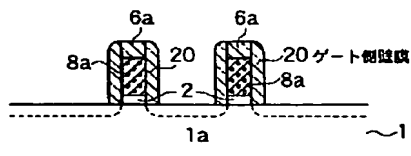
42…ハードマスク材料膜

43…レジスト、レジストパターン

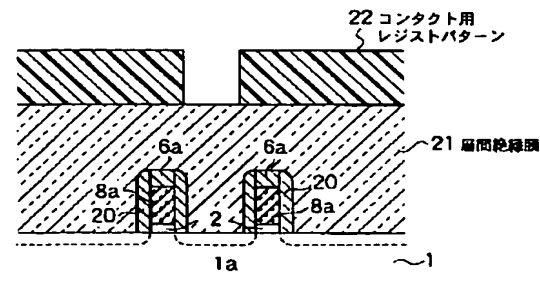
44…レジスト、レジストパターン

45…ダミーパターン。

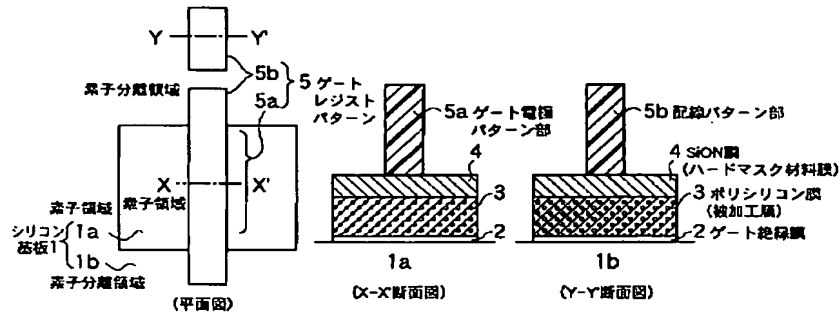
【図 1 2】



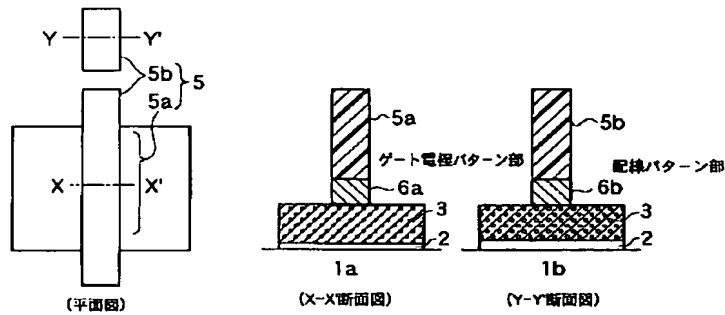
【図 1 3】



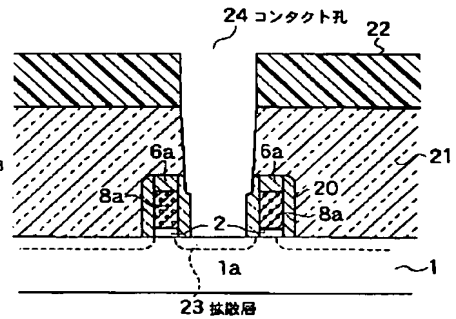
【図1】



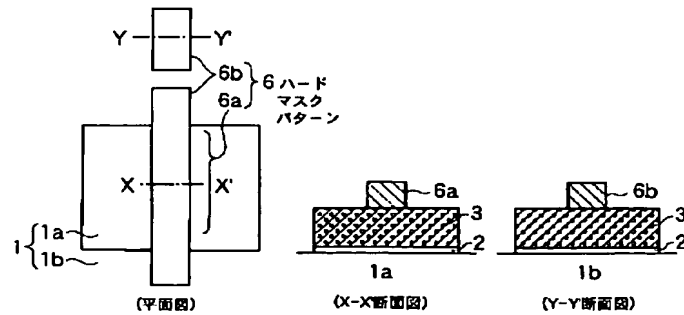
【図2】



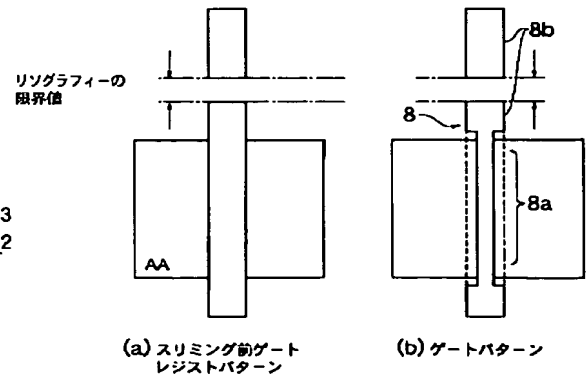
【図14】



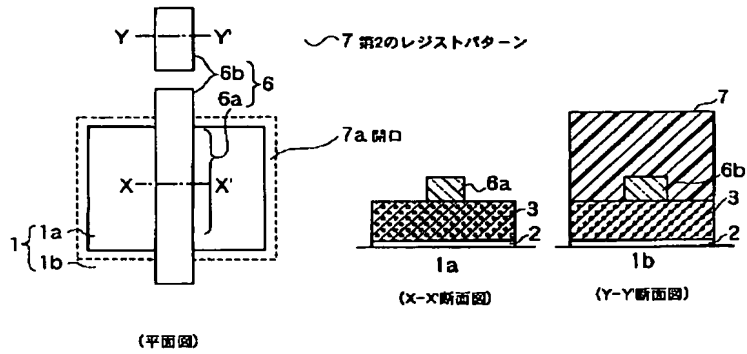
【図3】



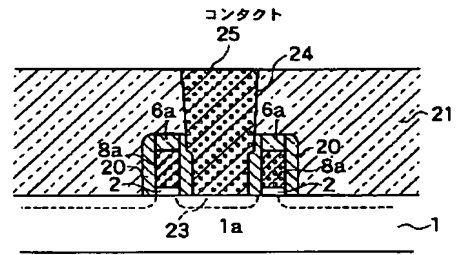
【図9】



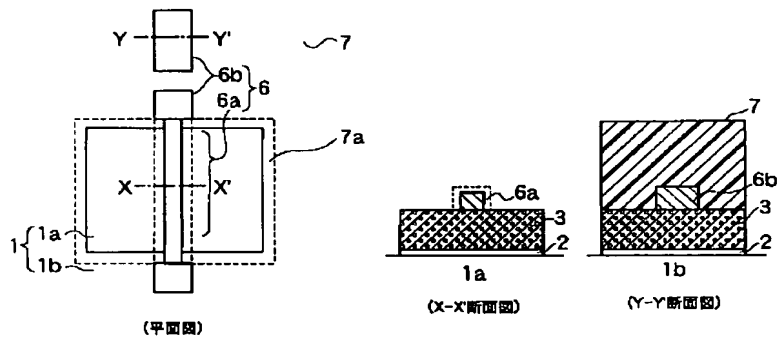
【図4】



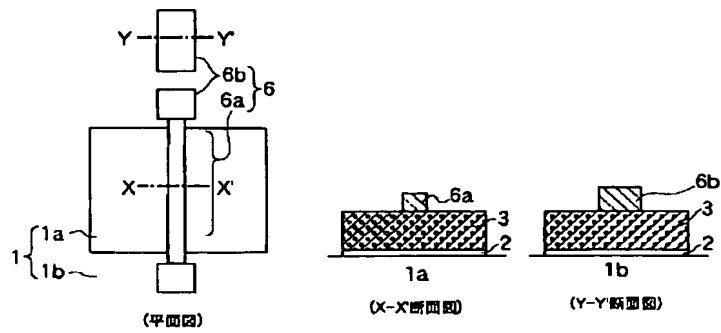
【図15】



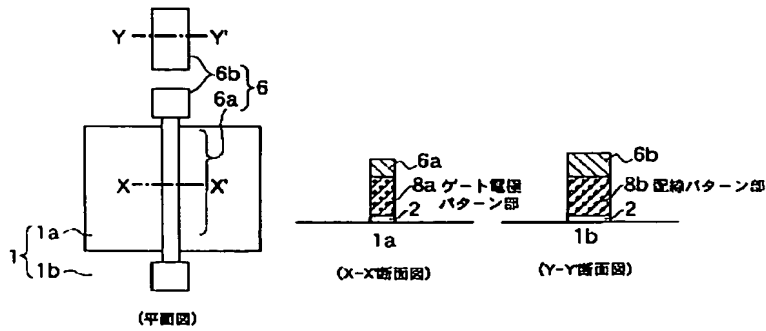
【図5】



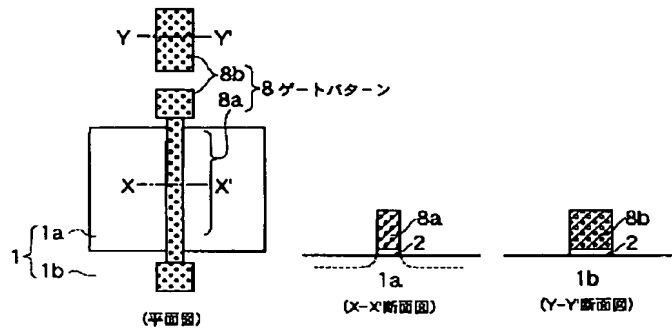
【図6】



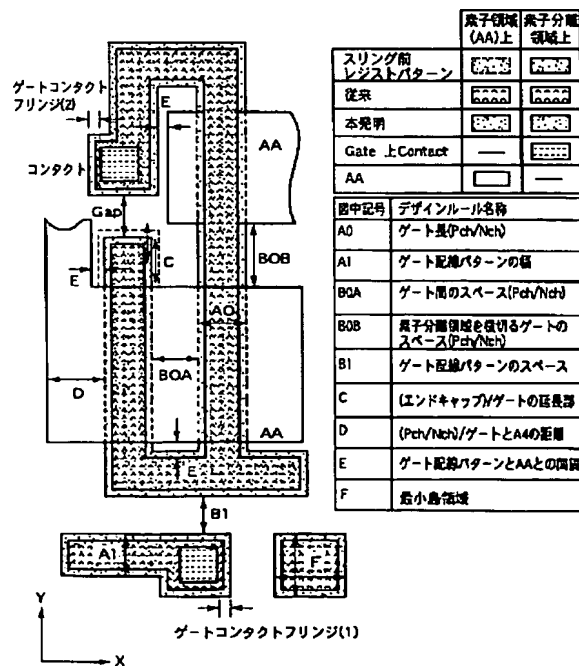
【図7】



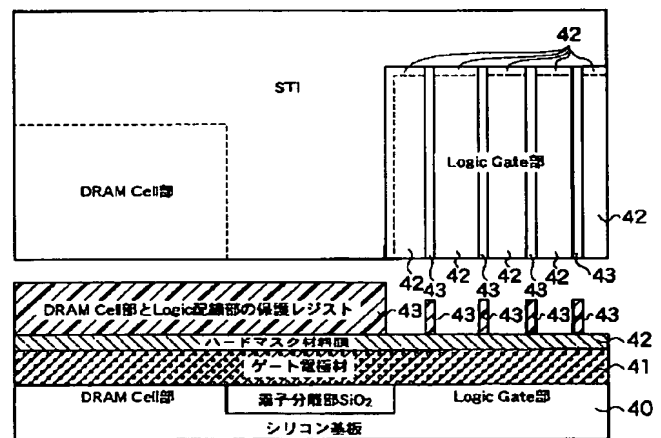
【図8】

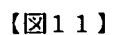


【図10】

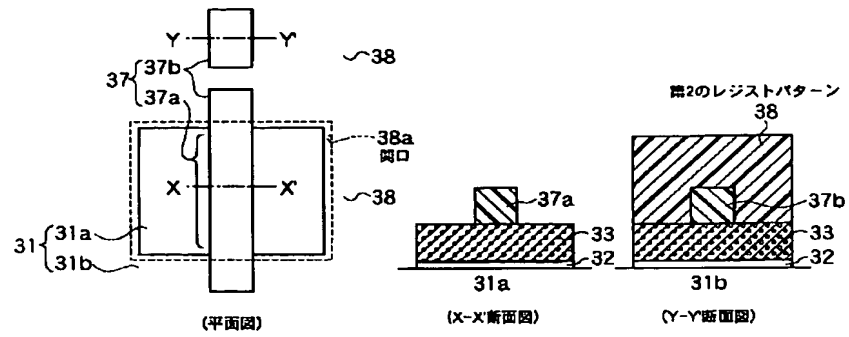


【図29】

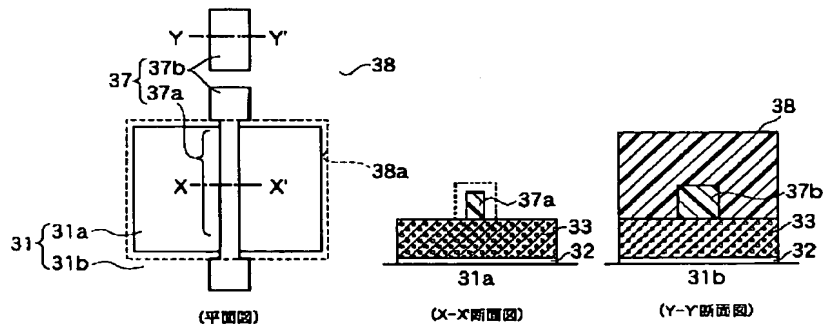




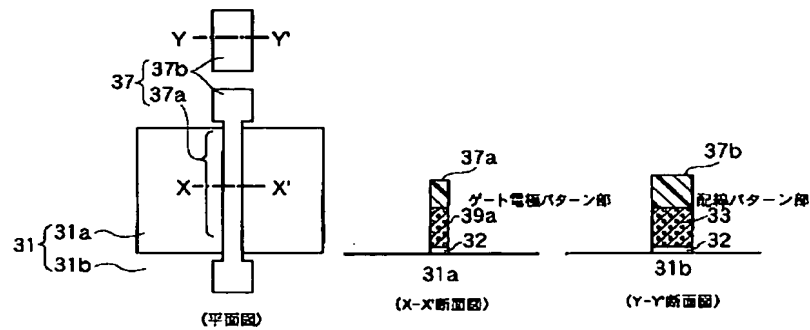
【図18】



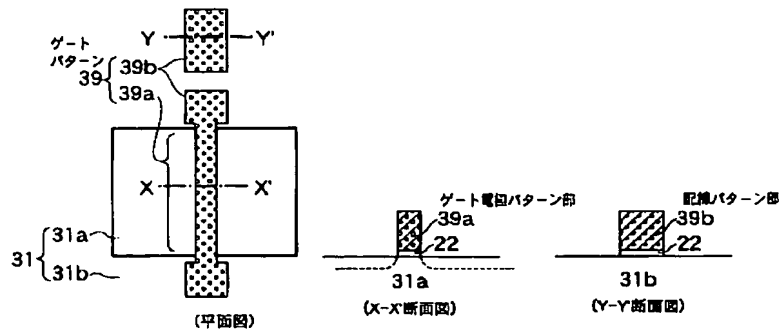
【図19】



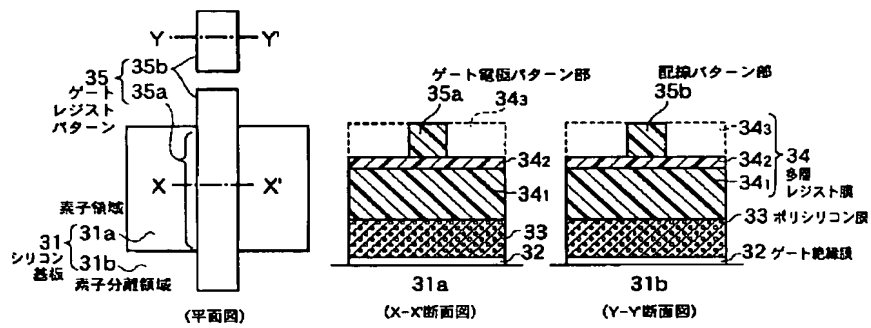
【図20】



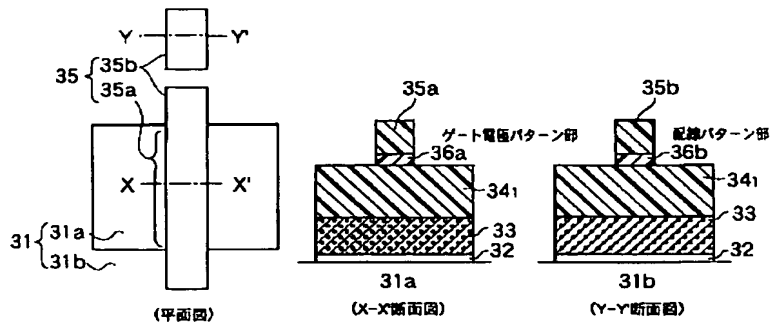
【図21】



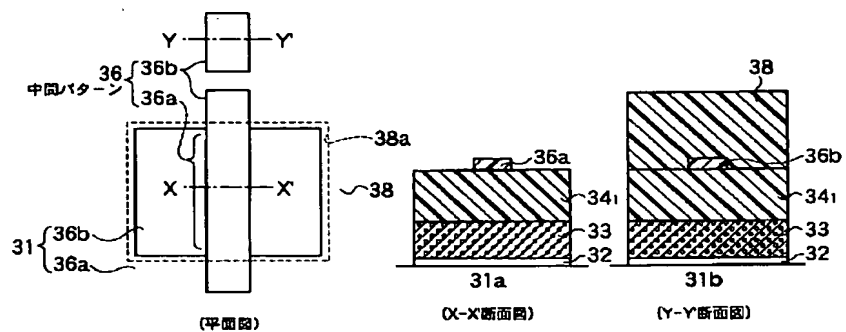
【図22】



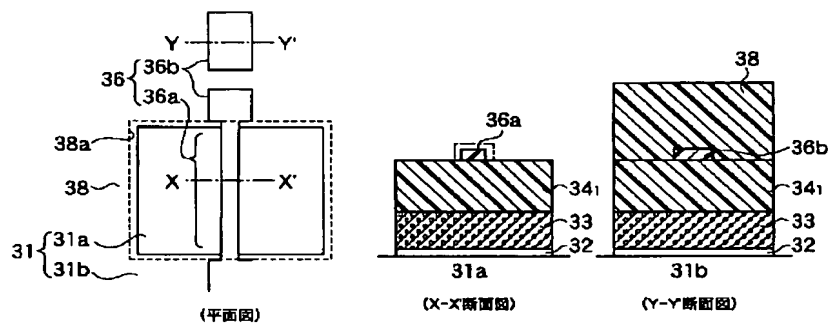
【図23】



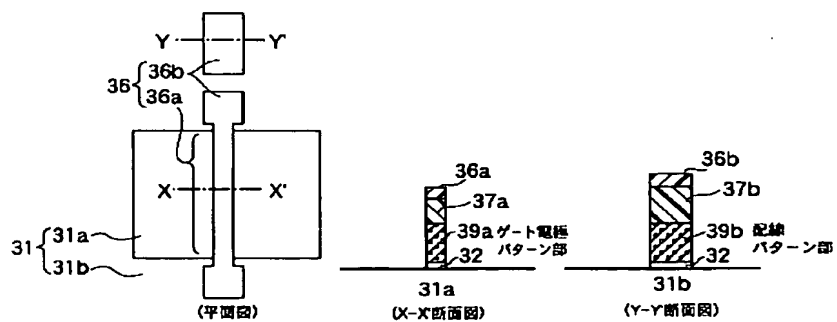
【図24】

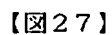


【図25】

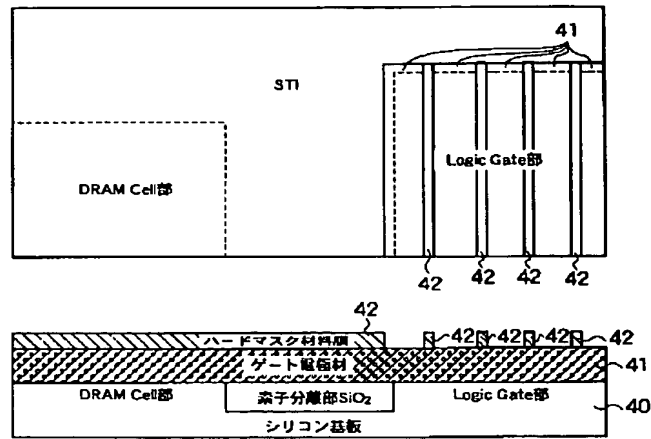


【図26】

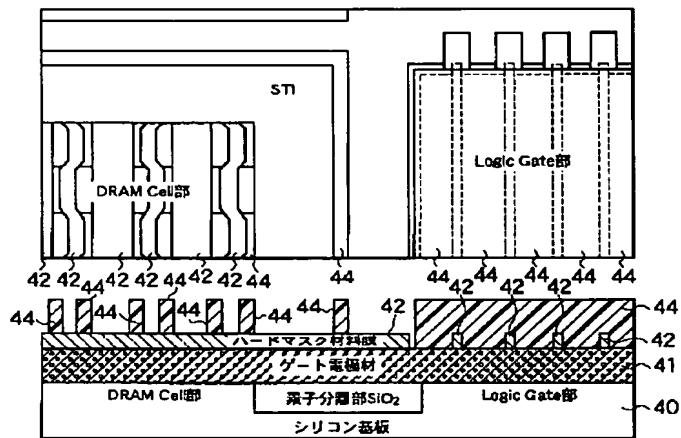




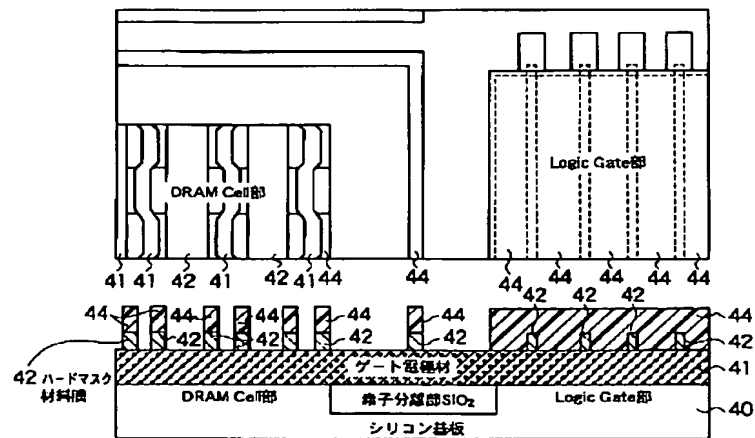
【図31】



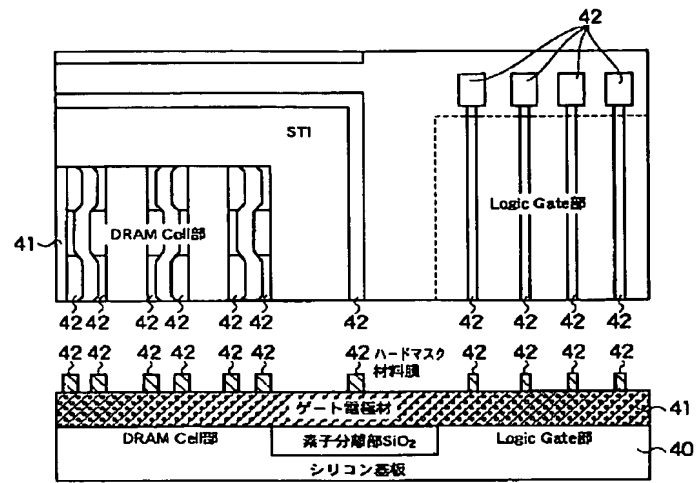
【図32】



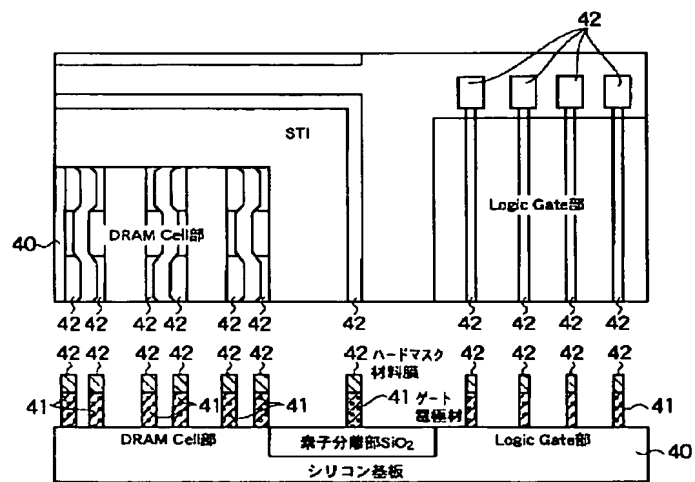
【図33】

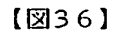


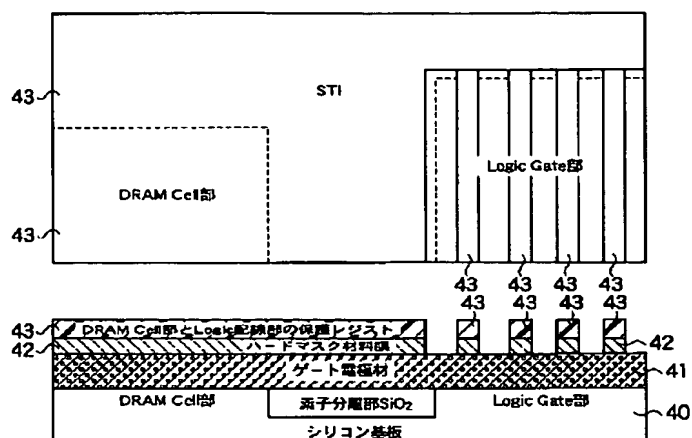
【図34】



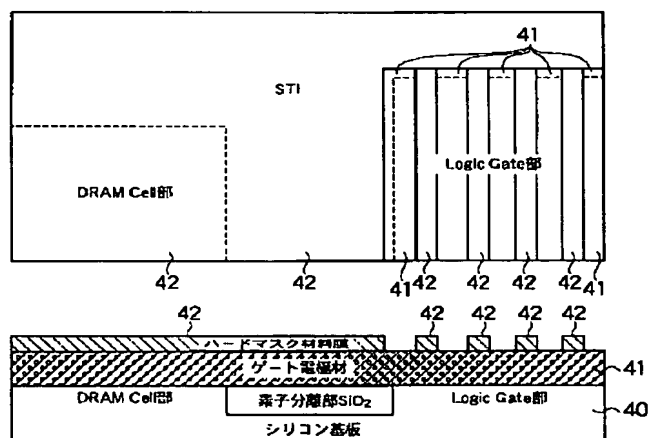
【図35】



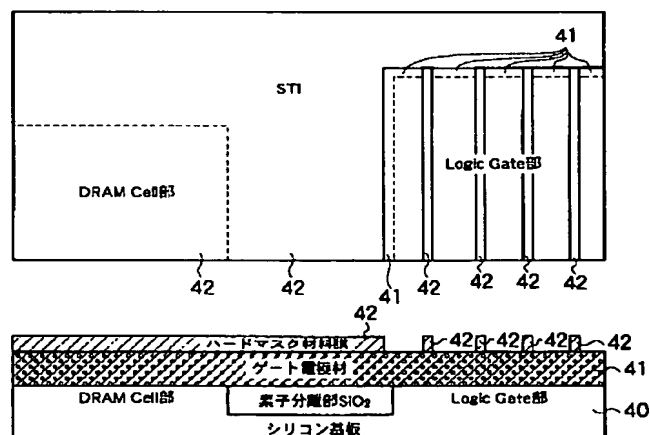




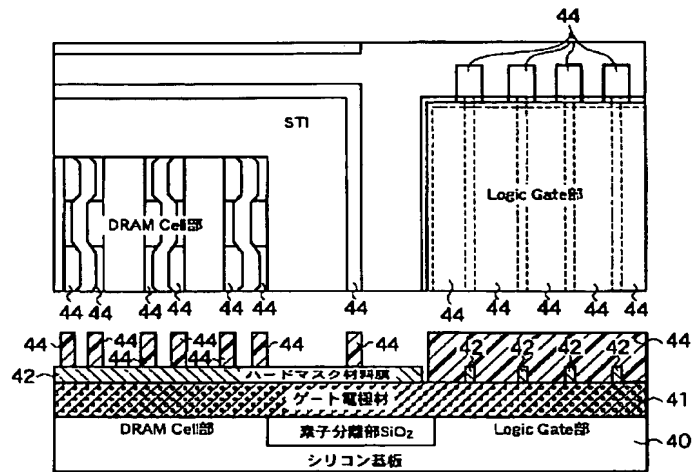
【図39】



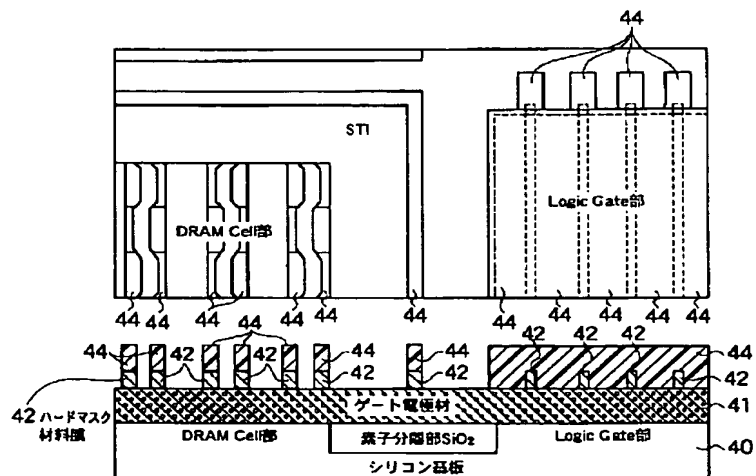
【図40】



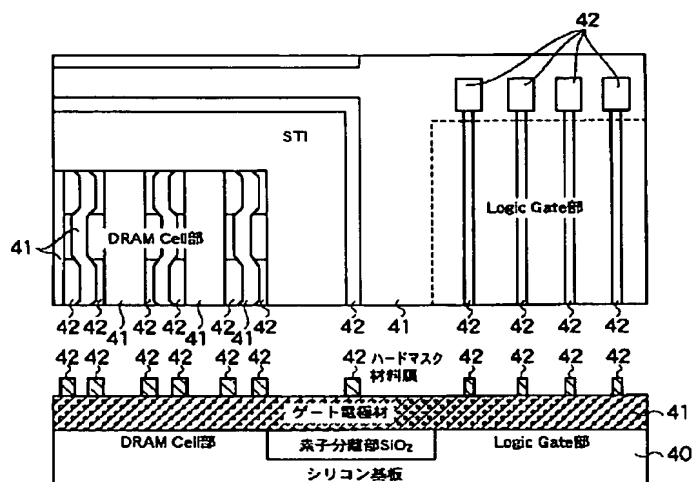
【図41】



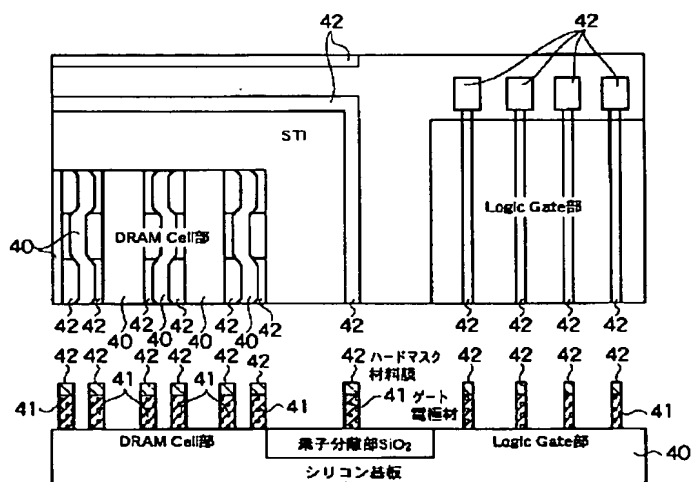
【図42】



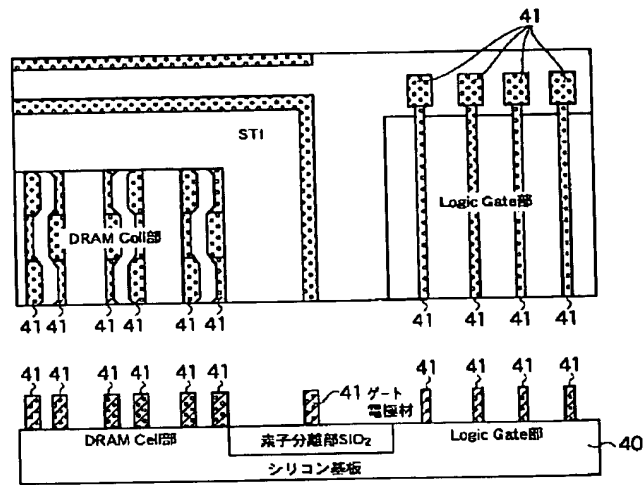
【図43】



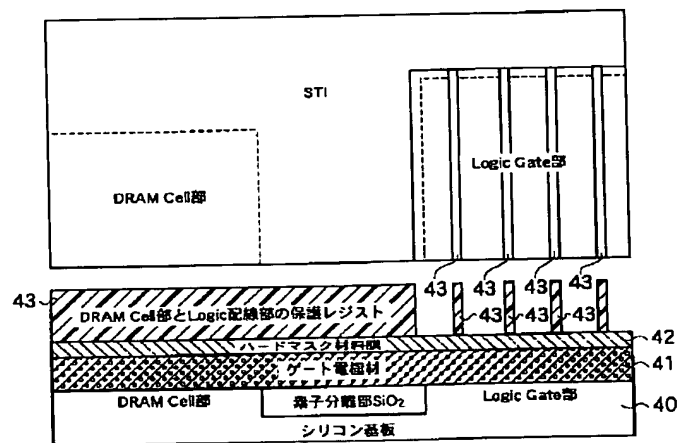
【図44】



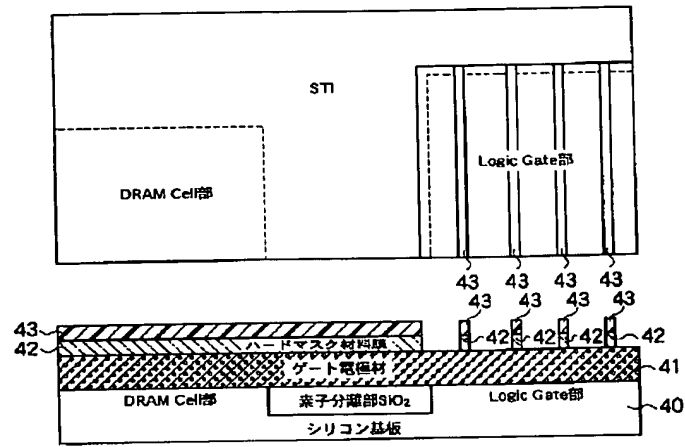
【図45】



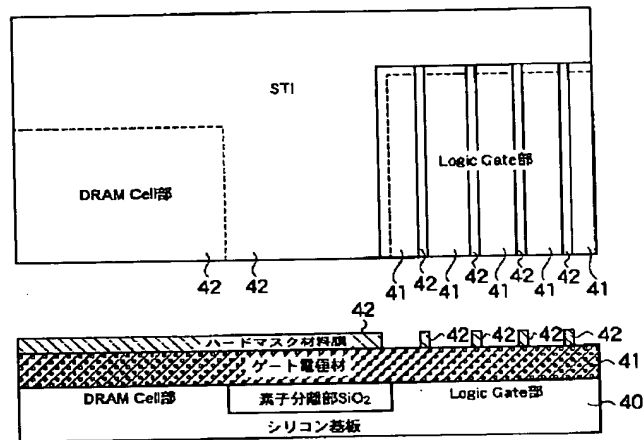
【図46】



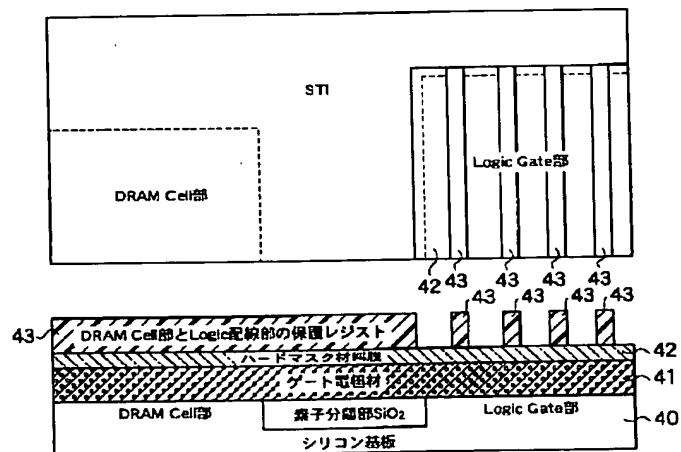
【図47】



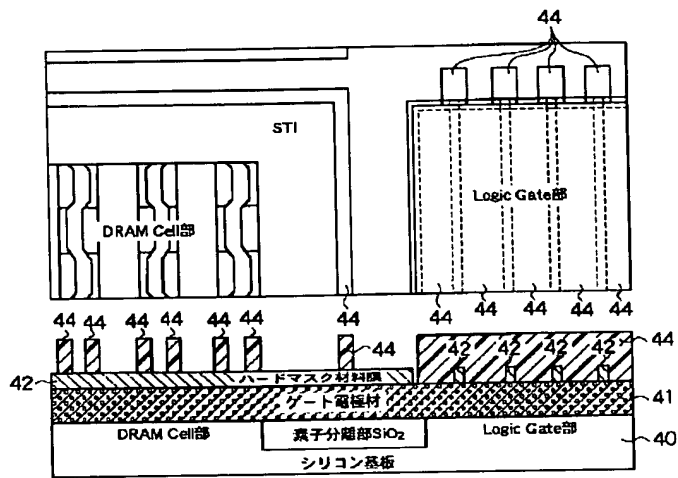
【図48】



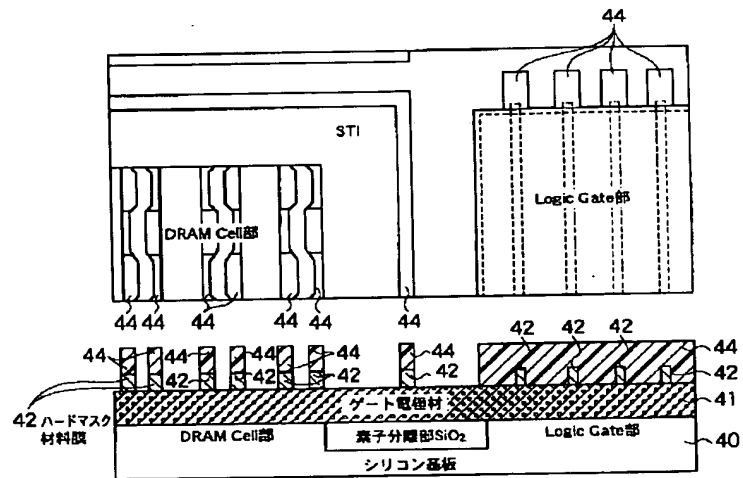
【図55】



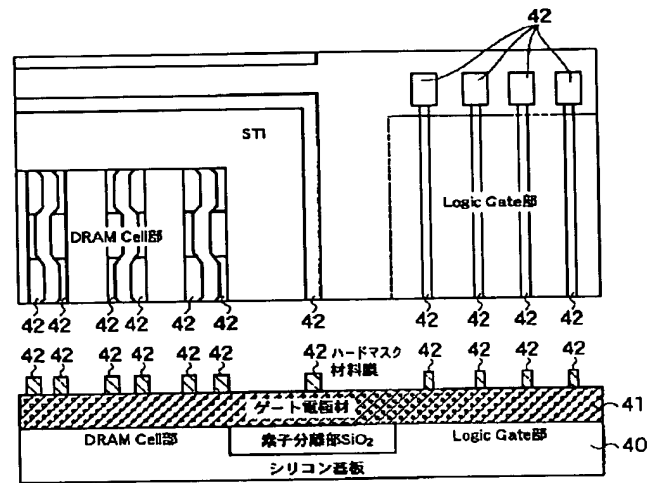
【図49】



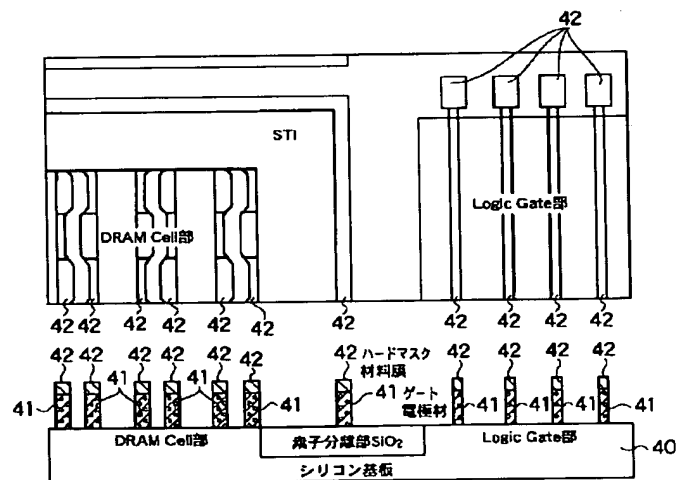
【図50】



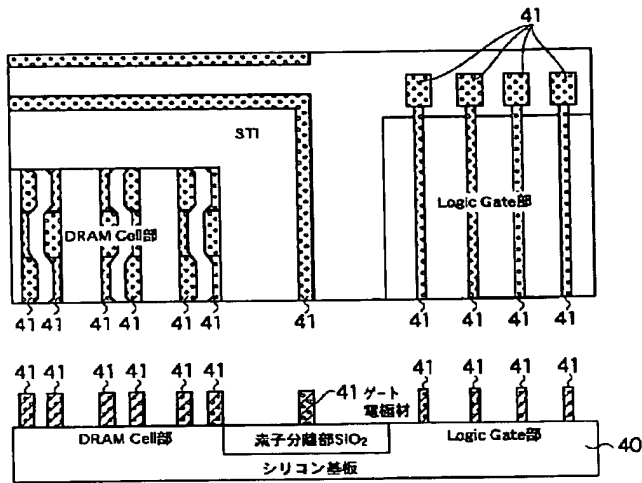
【図51】



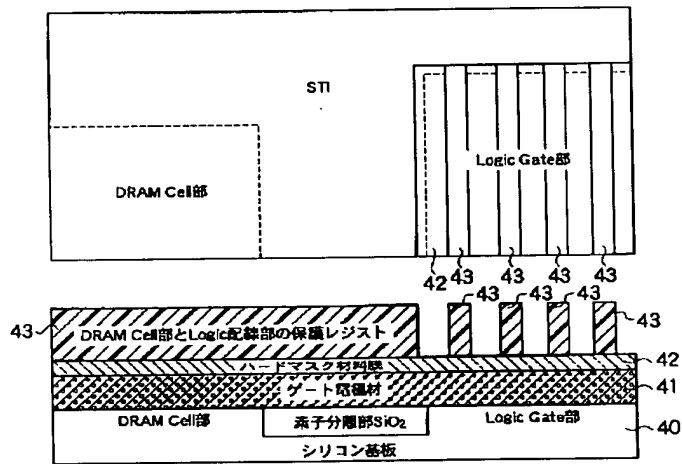
【図52】



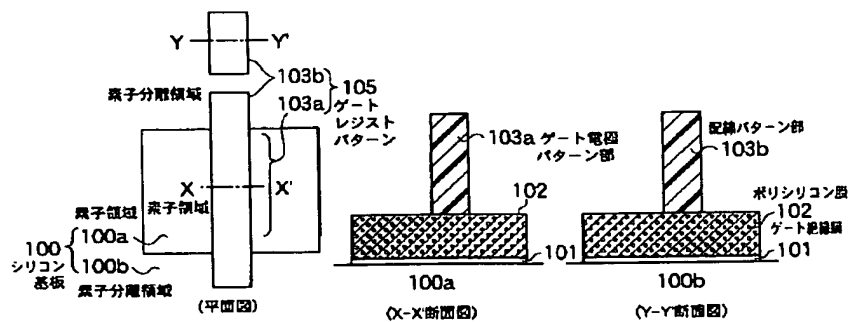
【図53】



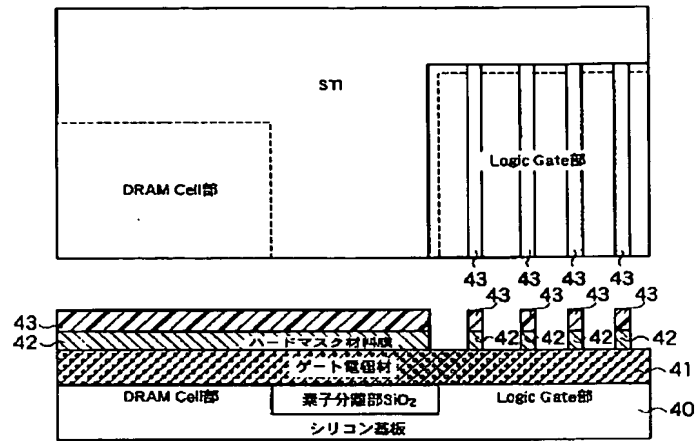
【図54】



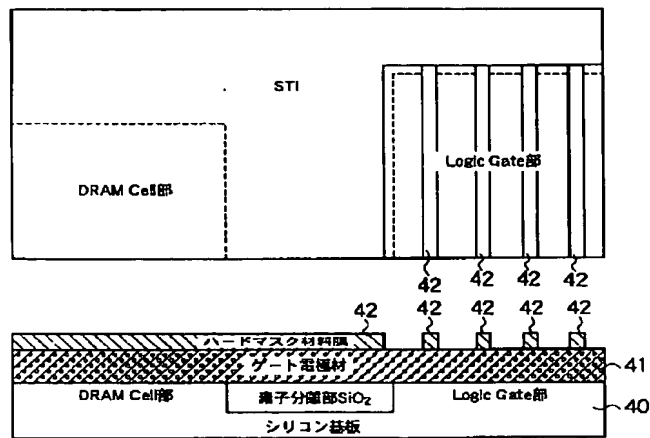
【図73】



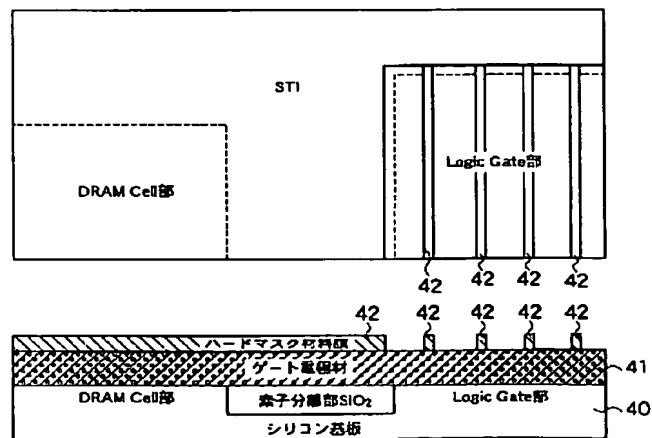
【図56】



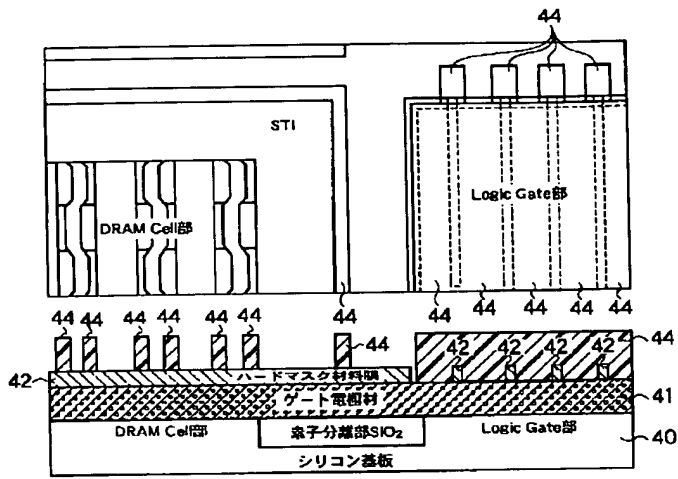
【図57】



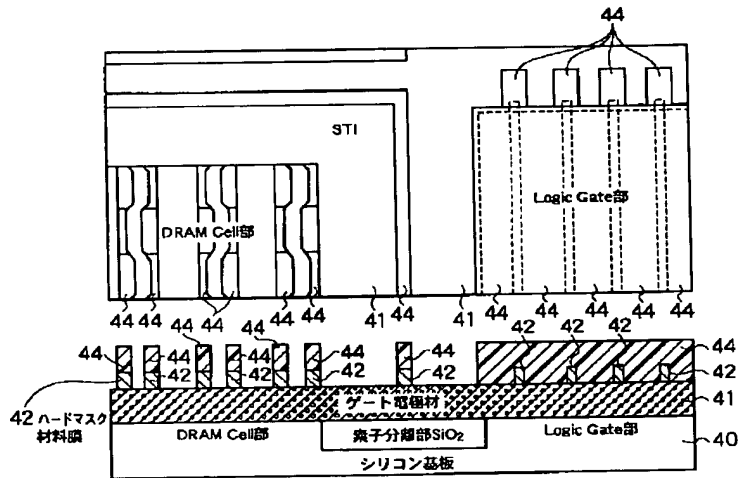
【図58】



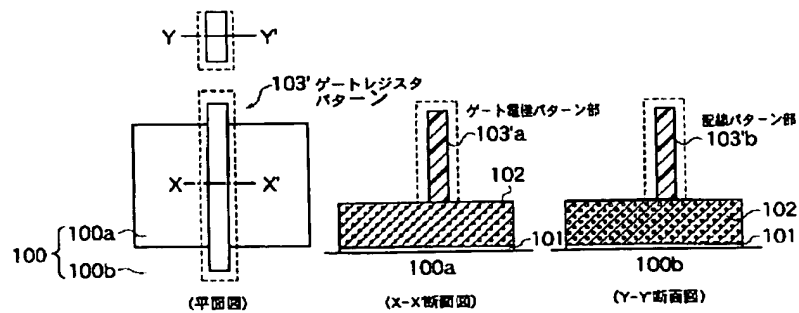
【図59】



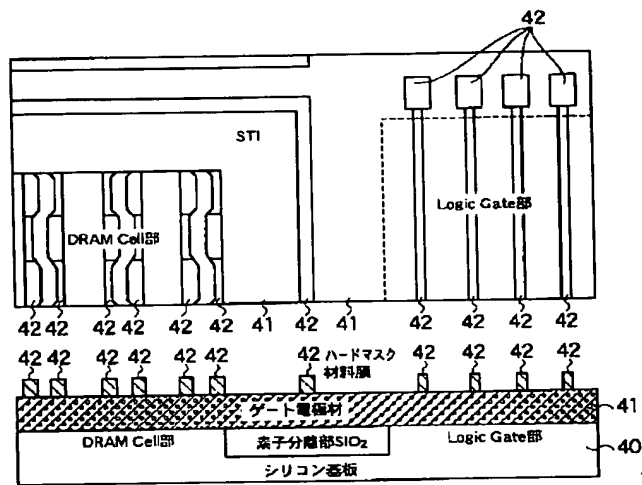
【図60】



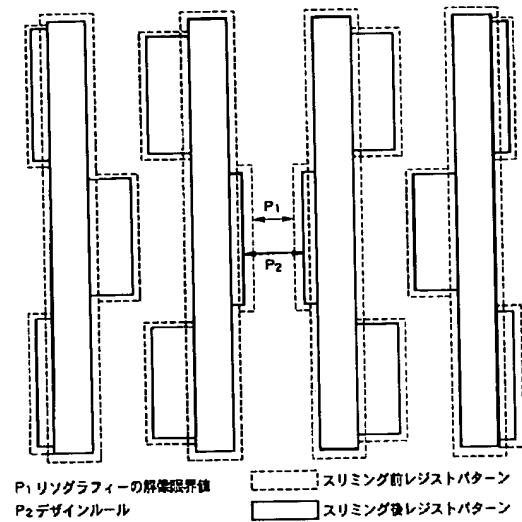
【図74】



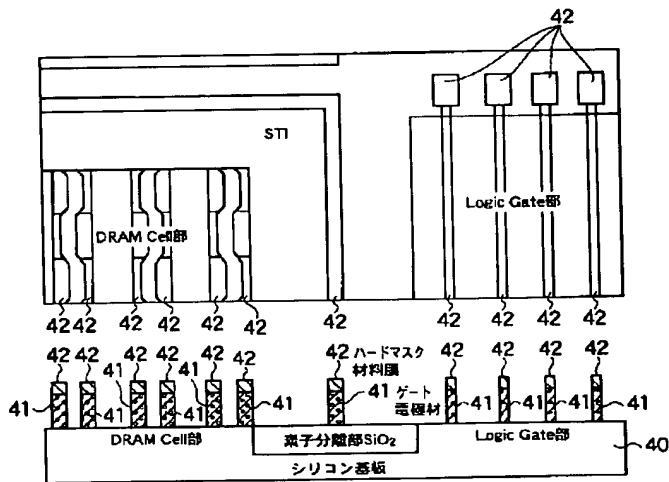
【図61】



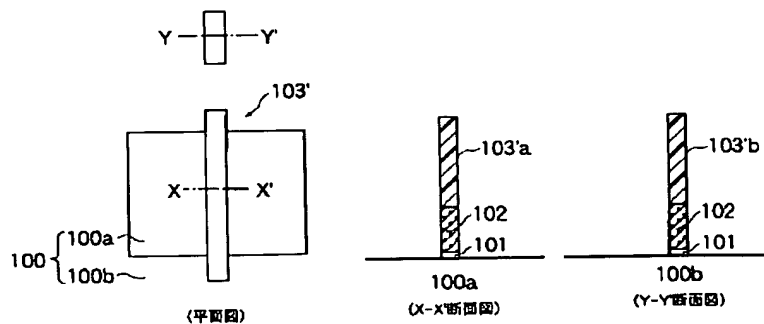
【図78】



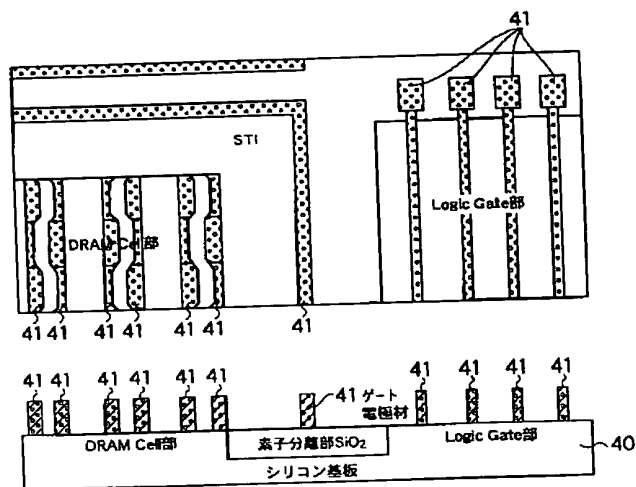
【図62】



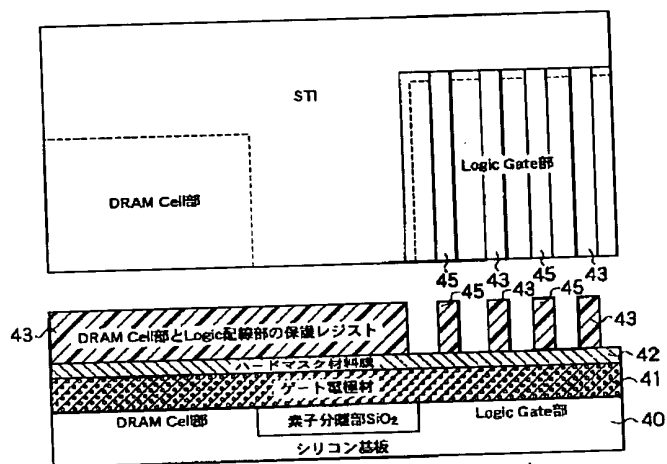
【図75】



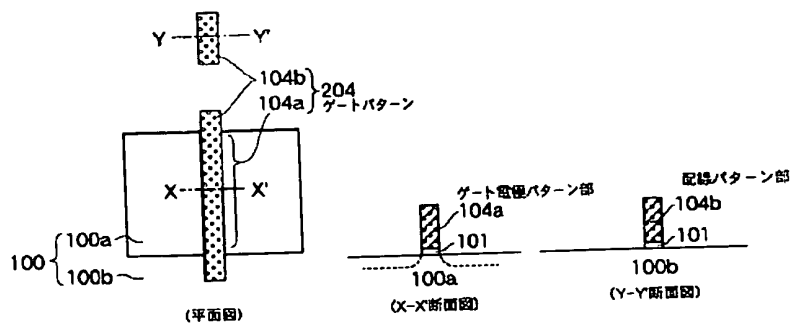
【図63】



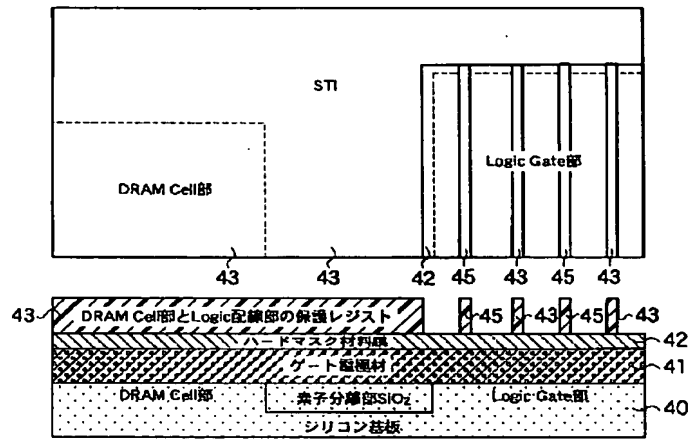
【図64】



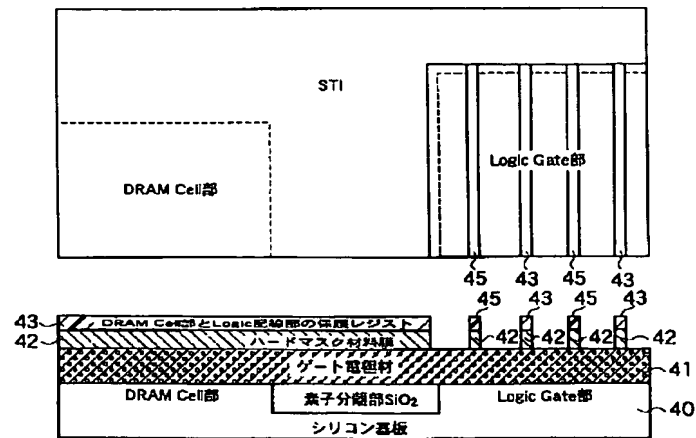
【図76】



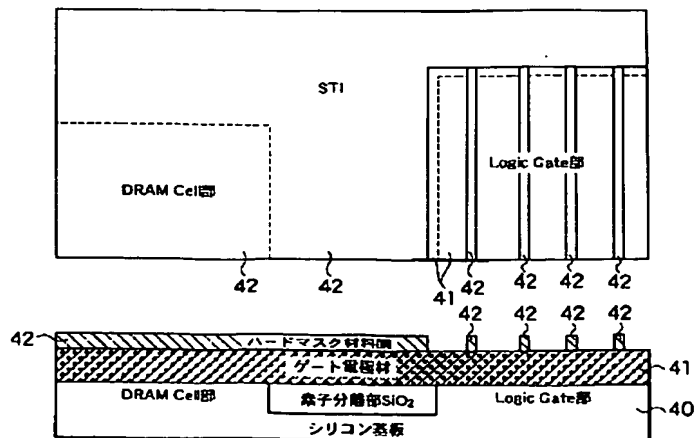
【図65】



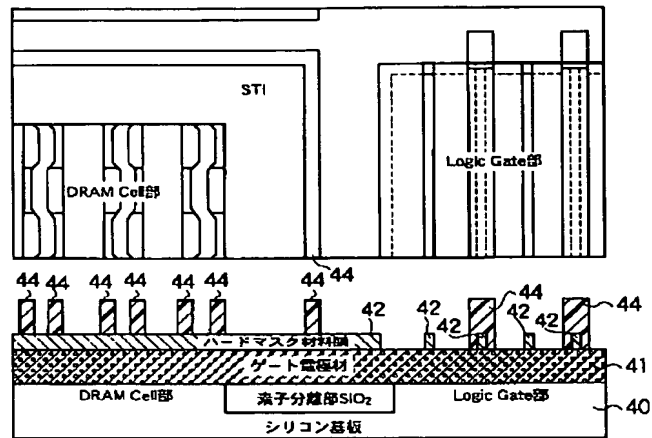
【図66】



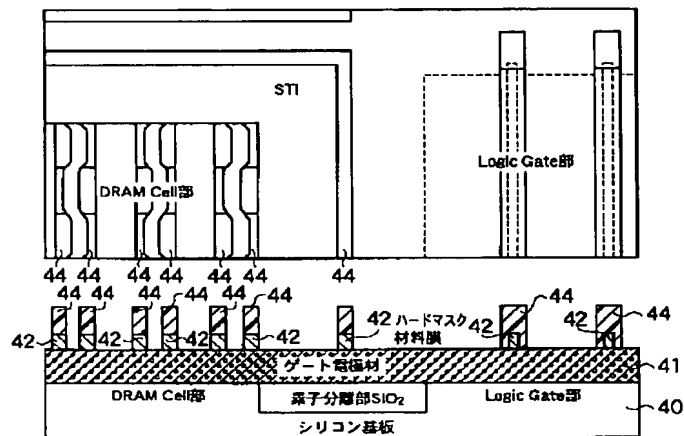
【図67】



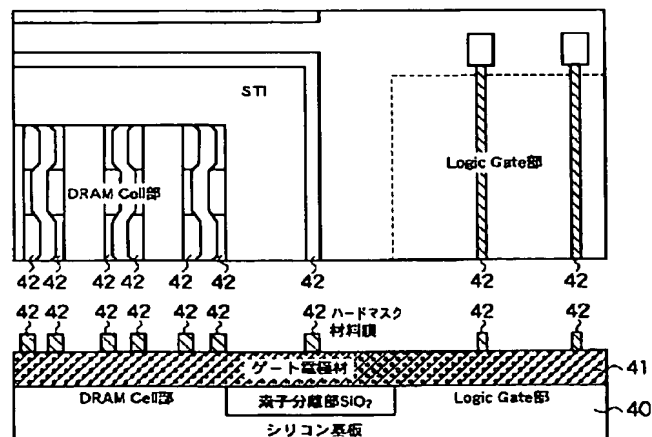
【図68】



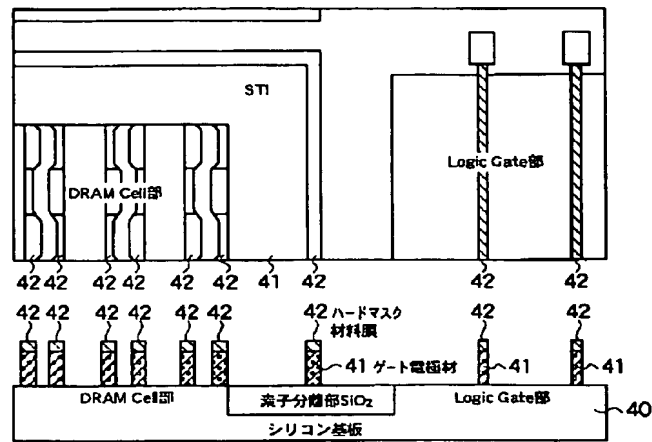
【図69】



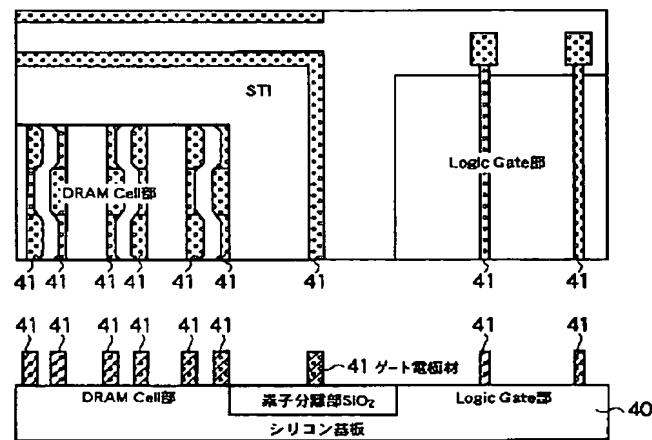
【図70】



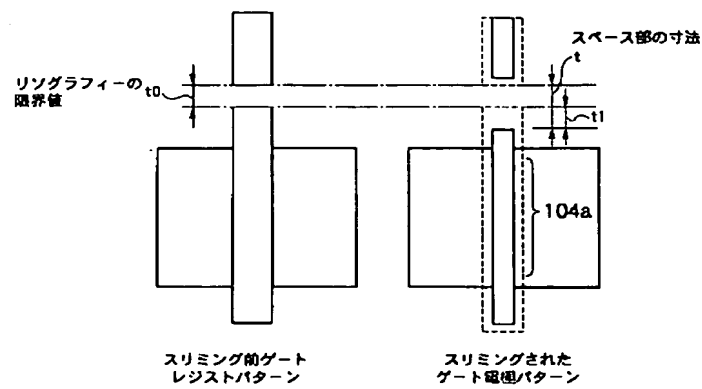
【図71】



【図72】



【図77】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	キーワード(参考)
H O 1 L	21/8242	H O 1 L 29/78	3 0 1 G 5 F 1 4 0
	27/088	21/30	5 7 3
	27/108		5 7 4
	29/78	27/08	1 0 2 C
(72)発明者 井上 壮一		F ターム(参考)	4M104 BB01 CC05 DD03 DD71 EE14
神奈川県横浜市磯子区新杉田町8番地 株			EE17 GG14 GG16 HH14
式会社東芝横浜事業所内			5F033 HH04 JJ04 KK01 NN40 PP09
			QQ01 QQ04 QQ08 QQ09 QQ11
			QQ13 QQ19 QQ28 QQ29 QQ30
			QQ37 QQ48 RR06 RR08 SS08
			TT08 VV06 XX03
			5F046 AA20 NA07 PA03 PA04 PA11
			5F048 AB01 AB03 BB03 BB05
			5F083 GA01 GA09 GA28 MA03 MA06
			MA19 PR01 PR03 PR05 PR06
			PR07 PR23 PR40 ZA12
			5F140 AA39 AA40 AB01 AC32 BF04
			BF56 BG08 BG14 BG19 BG26
			BG28 BG37 BG38 BG39 BG46
			BG52 BG53 BJ04 BK13 BK27
			CB04 CC03 CC12 CE07 CE14